



① **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

Offenlegungsschrift
DE 199 20 445 A 1

⑤ Int. Cl.⁶:
H 01 L 25/10
H 01 L 23/50

② Aktenzeichen: 199 20 445.4
② Anmeldetag: 4. 5. 99
④ Offenlegungstag: 18. 11. 99

③ Unionspriorität:

16194/1998 06. 05. 98 KR
16342/1998 07. 05. 98 KR

⑦ Anmelder:

LG Semicon Co., Ltd., Cheongju, KR

⑦ Vertreter:

TER MEER STEINMEISTER & Partner GbR
Patentanwälte, 81679 München

⑦ Erfinder:

Suh, Hee Joong, Chungcheongbuk, KR; Cha, Gi
Bon, Chungcheongbuk, KR; Choi, Chang Kuk,
Seoul, KR

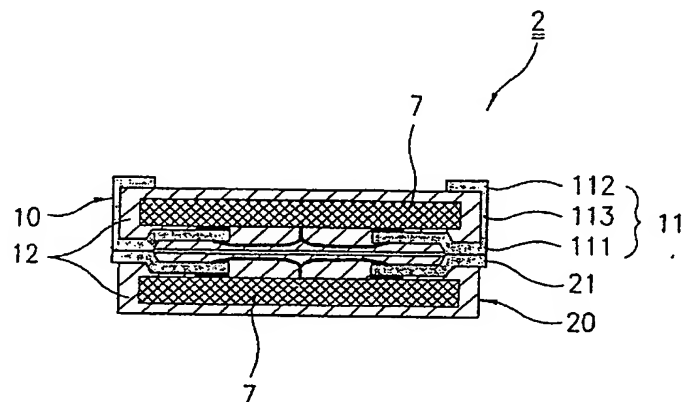
Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤ Integrierte Schaltung ultrahoher Dichte mit BLP-Stapel sowie Verfahren zum Herstellen derselben

⑤ Es wird ein BLP-Stapel (2) mit hoher Zuverlässigkeit und kleiner Montagefläche sowie mit hoher Packungsdichte offenbart. Dieser Baustein weist Folgendes auf:

- einen ersten Baustein (10) mit äußeren Spannungsanschlüssen (11), die an ihrem Anfang jeweils durch den Boden desselben ins Freie treten und sich über eine Seitenfläche zur Oberseite erstrecken, mit unteren Zuleitungsabschnitten (111) an der Unterseite, seitlichen Zuleitungsabschnitten (113) an der Seitenfläche und oberen Zuleitungsabschnitten (112) an der Oberseite; und
- einen zweiten Baustein (20) mit äußeren Spannungsanschlüssen (21), die an ihrem Anfang durch den Boden desselben ins Freie treten und mit den äußeren Spannungsanschlüssen des ersten Bausteins in Kontakt gebracht sind, um mit diesen elektrisch verbunden zu sein.



DE 199 20 445 A 1

BEST AVAILABLE COPY

Die Erfindung betrifft einen BLP(Bottom Leaded Package = Baustein mit Zuleitungen am Boden)-Stapel integrierter Schaltungen ultrahoher Dichte sowie ein Verfahren zum Herstellen desselben.

Im Allgemeinen wurden in der Vergangenheit Bausteinherstellungstechniken für integrierte Schaltungen dahingehend entwickelt, Forderungen hinsichtlich Miniaturisierung an die Halbleiterindustrie zu genügen. Verbesserte Verfahren zum Miniaturisieren integrierter Schaltungen, die die Integration von Millionen von Schaltungselementen in eine einzelne integrierte, auf Silizium aufgebaute Schaltung ermöglichen, haben zu erhöhter Hervorhebung von Verfahren geführt, durch die diese Schaltungen in räumlich effizienten, aber dennoch zuverlässigen und in Massen herstellbaren Bausteinen eingebaut werden.

Die Fig. 1A-3C veranschaulichen die Schritte von Herstellprozessen zum Erhalten von Stapeln von Halbleiterspeicher-Bauelementen. Spezieller werden Schritte eines Herstellprozesses für einen bekannten TSOP(Thin Small Outline Package = Flachbaustein mit kleiner Außenkontur)-Stapel 5 erläutert.

Gemäß den Fig. 1A und 1B werden ein oberes und ein unteres TSOP 50 bereitgestellt. Wie es in Fig. 2B dargestellt ist, werden die beiden umgebogenen Außenzuleitungen 500 an jedem der TSOPs 50 geraderichtet, wie es in Fig. 2B dargestellt ist, und die Enden werden abgeschnitten, so dass nur kurze Stücke verbleiben, wie es in Fig. 2C dargestellt ist. Dann werden die TSOPs 50 aufeinander gestapelt und miteinander verbunden, während die Zuleitungen ausgerichtet sind, wie es in Fig. 3A dargestellt ist. Zwischen das obere und untere TSOP 50 wird ein Kleber 501 eingebracht. Wie es in Fig. 3B dargestellt ist, werden Stapelschienen 510 mit Löchern 511 zum Einführen der Außenzuleitungen 500 der TSOPs 50 und zum Anschließen derselben bereitgestellt, diese Löcher 511 und die Vorderenden der Außenzuleitungen 500 an den verklebten TSOPs 50 werden ausgerichtet, und dann werden diese Außenzuleitungen 500 in die Löcher 511 eingeführt. Anschließend wird Kleber 503 auf die Unterseite der oberen Teile der Schienen 510 aufgetragen, und die Schienen und die Oberfläche des oberen TSOP 50 werden aneinander befestigt, wodurch eine weitere Bewegung der Schienen 510 verhindert ist. Auf die Oberseiten der Löcher 511 wird eine Lotpaste 502 aufgetragen und erwärmt, so dass sie die Schienen 510 und die Außenzuleitungen 500 miteinander verbindet. Anstatt dass Lotpaste auf die zu verbindenden Teile aufgetragen wird, können diese auch in geschmolzenes Lot eingetaucht werden.

So wird durch mechanischen und elektrischen Anschluss der zwei Bausteine ein TSOP-Stapel 5 mit doppelter Speicherkapazität hergestellt. Die Speicherkapazität des Bausteinestapels kann dadurch variiert werden, dass so viele TSOPs 50 aufeinander gestapelt werden, dass die erforderliche Speicherkapazität erreicht wird. Wenn z. B. ein 8-Mega-DRAM-Bausteinestapel aus 4-Mega-DRAM-TSOPs hergestellt werden soll, werden zwei dieser TSOPs aufeinander gestapelt, während vier aufeinander gestapelt werden, wenn aus ihnen ein 16-Mega-DRAM-Bausteinestapel hergestellt werden soll.

Fig. 5 veranschaulicht ein anderes Beispiel eines bekannten Stapelbausteins zum Bereitstellen eines dünnen Bausteinestapels 6, der dennoch beständig, widerstandsfähig gegen mechanische Beeinflussung durch Feuchtigkeit und Verwindung ist und außerdem gute Wärmeabstrahlung zeigt, wie es im Dokument US-A-5,446,620 im Einzelnen offenbart ist.

Jedoch führt der bekannte einfache Bausteinestapel von Chipbausteinen zu einem sperrigen und schweren Stapel.

Auch bestehen beim bekannten Bausteinestapel Probleme dahingehend, dass die Anschlüsse an den Schienen 510 freiliegen und keine zufriedenstellende Festigkeit aufweisen, was die Zuverlässigkeit beeinträchtigt. Außerdem können die langen Signalleitungen von den Bondflecken am Halbleiterchip 7 zu einer gedruckten Leiterplatte (die Außenzuleitungen und die Schienen) eine Signalverzögerung verursachen, die schnelles Funktionsvermögen beeinträchtigt oder zu mehr Störsignalen führt, was die Zuverlässigkeit hinsichtlich der elektrischen Funktion beeinträchtigt. Andererseits können die wiederholten Kleberbondschritte beim Herstellprozess zu einer Verwindung der Komponenten führen oder die Verwindungskraft zwischen einem Halbleiterchip und einem Vergusskörper schwächen. Außerdem führen die erhöhte Anzahl von Herstellschritten durch das zusätzliche Aufstapeln der fertiggestellten Bausteine und das Erfordernis gesonderter Stapelausrüstungen neben den zum Herstellen des fertiggestellten Bausteins erforderlichen Ausrüstungen zu zusätzlichen Kosten und einer längeren Herstellzeit. Insbesondere sind im Fall eines TSOP-Stapels 5 die Prozessschritte zum Stapeln der Bausteine durch das Strecken und Abschneiden überflüssiger Teile der Außenzuleitung an den fertigen TSOPs 50, die gesonderte Herstellung der Schienen 510 und die Ausrichtung der Zuleitungen 500 zwischen dem oberen und dem unteren TSOP 50 zum Einführen der Zuleitungen 500 in die Löcher 511 in den Schienen 510 wie auch die Befestigung der Schienen an der Oberseite des oberen Bausteins sehr kompliziert.

Der Erfindung liegt die Aufgabe zugrunde, einen Stapel von Hauptleiterbausteinen mit hoher Dichte und kurzen Signalleitungen sowie hervorragender mechanischer und elektrischer Zuverlässigkeit sowie ein Verfahren zu dessen Herstellung zu schaffen.

Diese Aufgabe ist hinsichtlich des Stapels durch die Lehre von Anspruch 1 und hinsichtlich des Verfahrens durch die Lehre von Anspruch 10 gelöst. Der erfindungsgemäße Stapel ist leicht, flach, kurz und klein und benötigt weniger Montagefläche bei dichter Packungsdichte, wobei dennoch hohe Zuverlässigkeit erzielt wird. Gemäß einer ersten Erscheinungsform verfügt ein BLP-Stapel integrierter Schaltungen ultrahoher Dichte über einen 3D(dreidimensionalen)-BLP mit externen Spannungsanschlussleitungen, die an ihrem Anfang durch dessen Boden ins Freie führen und sich um die Unterseite, eine Seitenfläche und die Oberseite des Körpers des Bausteins erstrecken, wobei auf diesen 3D-BLP ein Standard-BLP mit unteren Zuleitungen aufgestapelt ist, die in Kontakt mit den unteren Zuleitungen des BLP gebracht sind.

Gemäß einer zweiten Erscheinungsform der Erfindung ist ein BLP-Stapel integrierter Schaltungen ultrahoher Dichte geschaffen, mit mindestens zwei 3D-BLPs geschaffen, die aufeinanderfolgend aufgestapelt sind, so dass Zuleitungsabschnitte eines oberen 3D-BLP und Zuleitungen an einem unteren 3D-BLP elektrisch miteinander verbunden sind, wobei die 3D-BLPs äußere Spannungsanschlussleitungen aufweisen, die an ihrem Anfang jeweils durch den Boden derselben gehen und sich in gebogener Weise so erstrecken, dass sie die Unterseite, eine Seitenfläche und die Oberseite des Körpers des Bausteins umgeben.

Gemäß einer dritten Erscheinungsform der Erfindung ist ein BLP-Stapel mit einem ersten BLP-Stapel und einem zweiten BLP-Stapel, der mit dem ersten identisch ist und diesem gegenüberstehend so angeordnet ist, dass die unteren Zuleitungsabschnitte der 3D-BLP im zweiten BLP-Stapel in Kontakt mit den unteren Zuleitungsabschnitten des 3D-BLP im ersten BLP-Stapel gebracht sind, geschaffen, wobei der erste BLP-Stapel einen 3D-BLP mit externen Spannungsanschlussleitungen aufweist, die an ihrem An-

fang jeweils durch den Boden desselben ins Freie treten und sich in gebogener Weise so erstrecken, dass sie die Unterseite, eine Seitenfläche und einen Teil der Oberseite desselben umgeben, und mit einem Standard-BLP, der so auf den 3D-BLP gestapelt ist, dass die unteren Zuleitungen des Standard-BLP elektrisch mit den oberen Zuleitungsabschnitten verbunden sind, die an der Oberseite des Körpers des 3D-BLP freiliegen.

Gemäß einer vierten Erscheinungsform der Erfindung ist ein BLP-Stapel mit einem 3D-BLP mit äußeren Spannungsanschlussleitungen geschaffen, die an ihrem Anfang jeweils durch den Boden desselben ins Freie treten und sich gebogen so erstrecken, dass sie die Unterseite, eine Seitenfläche und einen Teil der Oberseite desselben umgeben, wobei ein Standard-BLP auf die unteren Zuleitungsabschnitte des 3D-BLP so aufgesetzt ist, dass die unteren Zuleitungen elektrisch in Kontakt mit den oberen Leitungsabschnitten des 3D-BLP gebracht sind, die an der Oberseite des Körpers desselben freiliegen, und wobei zwischen den 3D-BLP und den Standard-BLP Abstandshalter eingesetzt sind, um diese zwei BLPs voneinander zu beabstanden.

Zusätzliche Vorteile, Aufgaben und andere Merkmale der Erfindung werden teilweise in der folgenden Beschreibung dargelegt, und teilweise werden sie dem Fachmann bei der Untersuchung des Folgenden oder beim Ausüben der Erfindung erkennbar. Die Aufgaben und Vorteile der Erfindung werden speziell durch die Maßnahmen erzielt, wie sie in den beigefügten Ansprüchen dargelegt sind.

Die Erfindung wird aus der nachfolgenden detaillierten Beschreibung und den beigefügten Zeichnungen, die nur zur Veranschaulichung dienen und demgemäß für die Erfindung nicht beschränkend sind, vollständiger zu verstehen sein.

Fig. 1A–3C zeigen Querschnitte zum Veranschaulichen jeweils eines Schritts eines bekannten Prozesses zum Herstellen eines Stapels von Halbleiterbausteinen, wobei

Fig. 1A–1B Querschnitte fertiggestellter TSOPs zeigen, die für den Stapelvorgang bereitgestellt werden;

Fig. 2A–2C Querschnitte zeigen, die Schritte eines Abschneidprozesses für Außenzuleitungen an einem TSOP veranschaulichen; und

Fig. 3A–3C Querschnitte zeigen, die Schritte eines Prozesses zum Einführen eines TSOP-Stapels in Stapelschienen und zum gegenseitigen Verlöten veranschaulichen;

Fig. 4A ist ein Querschnitt eines bekannten Stapels von Halbleiterbausteinen;

Fig. 4B ist eine Seitenansicht des Stapels gemäß Fig. 4A gesehen aus einer Richtung "A";

Fig. 5 ist eine Seitenansicht eines anderen Beispiels eines bekannten Stapels von Halbleiterbausteinen;

Fig. 6A ist ein Querschnitt eines erfindungsgemäßen Standard-BLP;

Fig. 6B ist ein Querschnitt eines erfindungsgemäßen 3D-BLP;

Fig. 7 ist ein Querschnitt, der Schlüsselteile eines oberen und eines unteren Teils einer Spanneinrichtung zum Herstellen eines BLP-Stapels integrierter Schaltungen ultrahoher Dichte gemäß einem bevorzugten Ausführungsbeispiel der Erfindung zeigt;

Fig. 8 ist eine Gesamtdraufsicht des unteren Spannteils in Fig. 7;

Fig. 9 ist eine Schnittansicht, die einen BLP-Stapel integrierter Schaltungen ultrahoher Dichte gemäß einem ersten bevorzugten Ausführungsbeispiel der Erfindung zeigt (Stapel aus einem Standard-BLP und einem 3D-BLP);

Fig. 10 ist eine Schnittansicht, die einen Standard-BLP und einen 3D-BLP zeigt, die auf die zum Stapeln bereite Spanneinrichtung von Fig. 7 aufgesetzt sind;

Fig. 11 ist eine Schnittansicht, die einen BLP-Stapel inte-

grierter Schaltungen ultrahoher Dichte gemäß Fig. 9 zeigt, der an einem Motherboard angebracht ist;

Fig. 12 ist eine Schnittansicht, die einen fertiggestellten 3D-BLP-Stapel integrierter Schaltungen ultrahoher Dichte gemäß einem zweiten bevorzugten Ausführungsbeispiel der Erfindung zeigt (Stapelung zweier 3D-BLPs);

Fig. 13 ist eine Schnittansicht, die 3D-BLPs zeigt, die auf die zum Stapeln aufgesetzte Spanneinrichtung von Fig. 7 aufgesetzt sind;

Fig. 14 ist eine Schnittansicht, die ein zweites Ausführungsbeispiel eines BLP-Stapels integrierter Schaltungen ultrahoher Dichte zeigt, der auf einem Motherboard angebracht ist;

Fig. 15 ist eine Schnittansicht, die eine modifizierte Version eines zweiten Ausführungsbeispiels eines BLP-Stapels integrierter Schaltungen ultrahoher Dichte zeigt;

Fig. 16A ist eine Schnittansicht eines zweiten Ausführungsbeispiels eines BLP-Stapels integrierter Schaltungen ultrahoher Dichte, wobei ein Beispiel einer Kapazitätserweiterung dargestellt ist;

Fig. 16B ist eine Schnittansicht, die den in Fig. 16A dargestellten BLP-Stapel auf einem Motherboard montiert zeigt;

Fig. 16C ist eine Schnittansicht, die den in Fig. 16A dargestellten BLP-Stapel zeigt, der in anderer Form auf einem Motherboard montiert ist;

Fig. 17 ist eine Schnittansicht, die ein anderes Ausführungsbeispiel einer Spanneinrichtung zum Herstellen eines BLP-Stapels integrierter Schaltungen ultrahoher Dichte gemäß einem bevorzugten Ausführungsbeispiel der Erfindung zeigt;

Fig. 18 ist eine Schnittansicht, die 3D-BLPs zeigt, die auf die Spanneinrichtung von Fig. 17 aufgesetzt sind;

Fig. 19 ist eine Schnittansicht, die ein drittes Ausführungsbeispiel eines BLP-Stapels integrierter Schaltungen ultrahoher Dichte gemäß der Erfindung zeigt (Stapelung des bereits hergestellten Stapels aus einem Standard-BLP und einem 3D-BLP);

Fig. 20 ist eine Schnittansicht, die den in Fig. 19 dargestellten BLP-Stapel zeigt, der auf einem Motherboard montiert ist;

Fig. 21 ist eine Vorderansicht, die ein viertes Ausführungsbeispiel eines BLP-Stapels integrierter Schaltungen ultrahoher Dichte gemäß der Erfindung zeigt (Stapelung unter Verwendung von Abstandshaltern);

Fig. 22 ist eine perspektivische Ansicht einer Löttaucheinrichtung, die bei der Herstellung des vierten Ausführungsbeispiels eines BLP-Stapels integrierter Schaltungen ultrahoher Dichte gemäß der Erfindung anwendbar ist;

Fig. 23A–23H sind Vorderansichten zum Veranschaulichen der Schritte eines Herstellprozesses für das genannte vierte Ausführungsbeispiel, wobei

Fig. 23A eine Vorderansicht ist, die punktwise auf den 3D-BLP aufgesetzte Abstandshalter zeigt;

Fig. 23B eine Vorderansicht ist, die einen auf den 3D-BLP montierten Standard-BLP zeigt;

Fig. 23C eine Vorderansicht ist, die den 3D-BLP und den darauf montierten Standard-BLP zeigt, die durch eine Spanneinrichtung aufeinander geklemmt sind;

Fig. 23D eine Vorderansicht ist, die einen BLP zeigt, der zur Verlotung auf einer Seite bereit ist;

Fig. 23E eine Vorderansicht ist, die einen BLP zeigt, dessen Zuleitungen auf einer Seite in Lot eingetaucht werden;

Fig. 23F eine Vorderansicht ist, die einen BLP zeigt, der durch die Spanneinrichtung festgeklemmt ist und gedreht und in Schwingung versetzt wird, um die Zuleitungen auf seiner anderen Seite in Lot einzutauchen;

Fig. 23G eine Vorderansicht ist, die einen BLP zeigt,

während die Zuleitungen auf seiner anderen Seite in Lot eingetaucht sind;

Fig. 23H eine Schnittansicht ist, die einen fertiggestellten BLP-Stapel gemäß dem vierten Ausführungsbeispiel zeigt; und

Fig. 24 ist eine Vorderansicht des BLP-Stapels des vierten Ausführungsbeispiels der Erfindung der auf einem Motherboard montiert ist.

Nun wird im Einzelnen auf die bevorzugten Ausführungsformen der Erfindung Bezug genommen, zu denen in den beigefügten Zeichnungen Beispiele dargestellt sind. Die Schritte des Stapelungsprozesses eines BLP-Stapels gemäß einem bevorzugten Ausführungsbeispiel der Erfindung werden unter Bezugnahme auf die Fig. 6A–11 erläutert. Die Fig. 6A und 6B sind Schnittansichten eines Standard-BLP und eines 3D-BLP, wie sie jeweils bei der Erfindung angewandt werden, und Fig. 9 ist eine Schnittansicht, die einen BLP-Stapel integrierter Schaltungen ultrahoher Dichte (im Folgenden der Kürze halber einfach als BLP-Stapel bezeichnet) gemäß einem ersten bevorzugten Ausführungsbeispiel der Erfindung zeigt (Stapelung eines Standard-BLP und eines 3D-BLP).

Gemäß den Fig. 6A, 6B und 9 beinhaltet ein BLP-Stapel gemäß dem ersten bevorzugten Ausführungsbeispiel der Erfindung einen 3D-BLP 10 mit äußeren Spannungsanschlussleitungen 11, die an ihrem Anfang jeweils durch den Boden desselben ins Freie treten und sich in umgebogener Weise so erstrecken, dass sie die Unterseite, eine Seitenfläche und einen Teil der Oberseite desselben umgeben, und einen Standard-BLP 20, der so auf den 3D-BLP 10 aufgestapelt ist, dass untere Zuleitungen 21 des Standard-BLP 20 elektrisch mit unteren Zuleitungsabschnitten 111 verbunden sind, die an der Unterseite des 3D-BLP 10 freiliegen. Jede der äußeren Spannungsanschlussleitungen 11 am 3D-BLP 10 beinhaltet einen unteren Zuleitungsabschnitt 111 an der Unterseite eines Bausteinkörpers 12, einen seitlichen Zuleitungsabschnitt 113 an einer Seite des Körpers, der sich ausgehend vom unteren Zuleitungsabschnitt 111 erstreckt, und einen oberen Zuleitungsabschnitt 112 an einem Teil der Oberseite des Körpers, der sich ausgehend vom seitlichen Zuleitungsabschnitt 113 erstreckt. Die äußeren Spannungsanschlussleitungen 21 am Standard-BLP 20 liegen nur an der Unterseite des Bausteinkörpers frei, und sie werden als "untere Zuleitungen" bezeichnet.

Nun werden Schritte des Herstellprozesses für den obigen BLP-Stapel gemäß einem ersten bevorzugten Ausführungsbeispiel der Erfindung unter Bezugnahme auf die Fig. 7–10 erläutert. Fig. 7 ist eine Schnittansicht, die Schlüsselteile eines oberen und unteren Teils einer Spanneinrichtung zur Herstellung eines BLP-Stapels gemäß einem bevorzugten Ausführungsbeispiel der Erfindung zeigt, Fig. 8 ist eine Gesamtansicht des unteren Spannteils in Fig. 7, und Fig. 10 ist eine Schnittansicht, die 3D-BLPs zeigt, die auf die in Fig. 7 dargestellte, zur Stapelung bereite Spanneinrichtung 100 aufgesetzt sind.

Gemäß den Fig. 7–10 beginnt der Herstellprozess für den BLP-Stapel gemäß dem ersten bevorzugten Ausführungsbeispiel der Erfindung damit, dass ein Standard-BLP 20 so auf eine Tasche 102 im unteren Spannteil 101 in Fig. 7 aufgesetzt wird, dass die unteren Zuleitungen 21 nach oben zeigen, und der BLP durch Unterdruck zum unteren Spannteil gezogen wird, um ihn dort festzuhalten. Dann wird ein 3D-BLP 10 auf den Standard-BLP 20 aufgesetzt und so zu diesem ausgerichtet, dass die unteren Zuleitungen 21 am Standard-BLP 20 und die unteren Zuleitungsabschnitte 111 des 3D-BLP 10 in Kontakt gebracht sind. Der 3D-BLP 10 wird durch das obere Spannteil 103 nach unten gedrückt, um ihn an seiner Position zu halten, und ein Laserstrahl (nicht dar-

gestellt) wird auf die Grenze zwischen den unteren Zuleitungen 21 des Standard-BLP 20 und den unteren Zuleitungsabschnitten 111 des 3D-BLP 10 gebracht, um diese in Kontakt stehenden Teile miteinander zu verschweißen. So sind bei Fertigstellung des BLP-Stapels aus dem 3D-BLP 10 und dem Standard-BLP 20 die Halbleiterchips 7 dieser BLPs elektrisch miteinander verbunden und die Speicherkapazität ist erweitert.

Wie es in Fig. 11 dargestellt ist, kann der BLP-Stapel 1 des ersten Ausführungsbeispiels auf einem Motherboard 200 montiert werden. In diesem Fall können der 3D-BLP 10 und der Standard-BLP 20 so aufgestapelt werden, dass die oberen Zuleitungsabschnitte 112 des 3D-BLP 10 und die unteren Zuleitungen 21 des Standard-BLP 20 miteinander verschweißt werden. Auch können die Zuleitungen 11 am 3D-BLP 10 und die Zuleitungen 21 am Standard-BLP 20 durch Lot oder einen leitenden Film mechanisch und elektrisch miteinander verbunden werden.

Fig. 12 ist eine Schnittansicht, die einen fertiggestellten 3D-BLP-Stapel gemäß einem zweiten bevorzugten Ausführungsbeispiel der Erfindung zeigt (Aufstapeln zweier 3D-BLPs); Fig. 13 ist ein Querschnitt, der 3D-BLPs zeigt, die auf die zum Stapeln bereite Spanneinrichtung von Fig. 7 aufgesetzt sind, und Fig. 14 ist eine Schnittansicht, die ein zweites Ausführungsbeispiel eines BLP-Stapels des zweiten Ausführungsbeispiels zeigt, der auf einem Motherboard montiert ist.

Gemäß Fig. 12 beinhaltet der 3D-BLP-Stapel 2 gemäß dem zweiten bevorzugten Ausführungsbeispiel der Erfindung mindestens zwei aufeinanderfolgend aufgestapelte 3D-BLPs 10, von denen jeder äußere Spannungsanschlussleitungen 11 aufweist, die an ihrem Anfang jeweils durch den Boden desselben hindurchtreten und sich gebogen so erstrecken, dass sie die Unterseite, eine Seitenfläche und einen Teil der Oberseite derselben umgeben, wobei die Halbleiterchips 7 im oberen und unteren 3D-BLP 10 über jeweilige Zuleitungen 11 verbunden sind.

Nun werden die Schritte des Herstellprozesses für den obigen BLP-Stapel gemäß dem zweiten Ausführungsbeispiel der Erfindung erläutert.

Gemäß Fig. 13 beginnt der Herstellprozess mit dem Anordnen eines fertiggestellten 3D-BLP 10 in einer Tasche 102 im in Fig. 7 dargestellten unteren Spannteil 101, wobei dieser BLP durch Unterdruck an das untere Spannteil gezogen wird, um ihn dort festzuhalten. Der Unterdruck in der Tasche 102 wird mittels einer Vakuumleitung (nicht dargestellt) erzeugt, die mit dem Boden der Tasche verbunden ist. Nachdem der 3D-BLP 10 durch Unterdruck festgehalten wurde, wird ein weiterer 3D-BLP 10 auf diesen aufgesetzt. In diesem Fall sind die aufgestapelten 3D-BLPs 10 so ausgerichtet, dass die oberen Zuleitungsabschnitte 112, die an der Oberseite des Körpers des unteren 3D-BLP 10 freiliegen, und die unteren Zuleitungsabschnitte 111 des oberen 3D-BLP 10 zueinander passen. Dann wird, wie es in Fig. 13 dargestellt ist, der obere 3D-BLP 10 durch das obere Spannteil 103 nach unten gedrückt, um ihn positioniert zu halten, und ein Laserstrahl (nicht dargestellt) wird auf die Grenze zwischen den Zuleitungen 11 der 3D-BLP 10 gerichtet, um diese miteinander zu verschweißen. So verfügt der BLP-Stapel aus den 3D-BLPs 10 bei seiner Fertigstellung über Halbleiterchips 7 in den beiden BLPs, die elektrisch miteinander verbunden sind, so dass die Speicherkapazität erweitert ist. Wie es in Fig. 14 dargestellt ist, kann der so hergestellte BLP-Stapel gemäß dem zweiten Ausführungsbeispiel der Erfindung auf einem Motherboard 200 montiert werden. Fig. 15 ist eine Schnittansicht, die eine modifizierte Version des zweiten Ausführungsbeispiels eines 3D-BLP-Stapels zeigt, wobei die zwei 3D-BLPs 10 anders als beim vor-

stehenden zweiten Ausführungsbeispiel so aufeinander gestapelt sind, dass, angesichts der Form der Zuleitungen 11, die Seiten der Zuleitungen 11 mit den oberen Zuleitungsabschnitten 112 einander zugewandt und in Kontakt miteinander gebracht sind, wobei die zwei 3D-BLPs 10 so aufgestapelt sein können, dass die Seiten der Zuleitungen 11 mit den unteren Zuleitungsabschnitten 111 einander zugewandt und in Kontakt gebracht sind.

Fig. 16A ist eine Schnittansicht des zweiten Ausführungsbeispiels eines BLP-Stapels mit Kapazitätserweiterung, aus dem erkennbar ist, dass diese Kapazitätserweiterung dadurch möglich ist, dass einfach die Anzahl aufgestapelter 3D-BLPs 10 erhöht wird. Die Anzahl aufgestapelter 3D-BLPs 10 beträgt vorzugsweise weniger als acht, bevorzugter weniger als vier, um eine zu große Höhe zu vermeiden. Der BLP-Stapel gemäß Fig. 16A kann in der in Fig. 16B oder der in Fig. 16C dargestellten Form montiert werden.

Fig. 17 ist eine Schnittansicht eines anderen Ausführungsbeispiels einer Spanneinrichtung zum Herstellen eines BLP-Stapels gemäß einem bevorzugten Ausführungsbeispiel der Erfindung, und Fig. 18 ist eine Schnittansicht, die 3D-BLPs 10 zeigt, die auf die Spanneinrichtung 100a in Fig. 17 aufgesetzt sind, wobei ein nach oben und unten verlaufender Laserstrahl auf die Grenze zwischen den Zuleitungen 11 der aufgestapelten BLPs gerichtet wird, die unter Verwendung der Spannteile 100a festgeklemt werden, die von links und rechts statt von oben und unten wirken, um die Zuleitungen 11 miteinander zu verschweißen. Auf einer Seite der Spannteile 100a, die einander gegenüberstehend links und rechts angeordnet sind, existiert ein Führungsloch 105 zum Führen einer Stoßeinrichtung 104, wenn diese vorgeschoben oder zurückgezogen wird, um einen der auf die Spannteile gesetzten 3D-BLPs so zu verschieben, dass enger Kontakt mit dem anderen 3D-BLP 10 erreicht wird.

Fig. 19 ist eine Schnittansicht, die ein drittes Ausführungsbeispiel eines BLP-Stapels gemäß der Erfindung zeigt (Stapelung des bereits erstellten Stapels aus einem Standard-BLP und einem 3D-BLP).

Gemäß Fig. 19 beinhaltet der BLP-Stapel 3 des dritten Ausführungsbeispiels der Erfindung einen ersten BLP-Stapel und einen zweiten BLP-Stapel, der mit dem ersten identisch ist und diesem so gegenübersteht, dass die unteren Zuleitungsabschnitte 111 des 3D-BLP 10 im zweiten BLP-Stapel in Kontakt mit den unteren Zuleitungsabschnitten 111 des 3D-BLP 10 im ersten BLP-Stapel gebracht sind, wobei der erste BLP-Stapel einen 3D-BLP 10 mit äußeren Spannungsanschlussleitungen 11 aufweist, die an ihrem Anfang jeweils durch den Boden desselben treten und sich umgebogen so erstrecken, dass sie die Unterseite, eine Seitenfläche und einen Teil der Oberseite desselben umgeben, und wobei ein Standard-BLP 20 so auf den 3D-BLP 10 gestapelt ist, dass die unteren Zuleitungen 21 des ersten elektrisch mit den oberen Zuleitungsabschnitten 111 verbunden sind, die an der Oberseite des Körpers des 3D-BLP 10 freiliegen.

Nun werden Schritte des Herstellprozesses für den vorstehenden BLP-Stapel gemäß dem dritten Ausführungsbeispiel der Erfindung erläutert.

Als Erstes wird der erste BLP-Stapel durch die folgenden Schritte hergestellt: (1) Positionieren eines 3D-BLP 10 in einer Tasche 102 in einem unteren Spannteil 101; (2) Anziehen des BLP 10 an das untere Spannteil durch Unterdruck, um es dort festzuhalten; (3) Positionieren und Ausrichten des Standard-BLP auf der Oberseite des 3D-BLP in solcher Weise, dass die an der Oberseite des 3D-BLP 10 freiliegenden oberen Zuleitungsabschnitte 112 und die unteren Zuleitungen 21 am Standard-BLP 20 übereinstimmen; und (4) Lenken eines Laserstrahls auf die Vorderenden der unteren

Zuleitungen 21 des Standard-BLP 20, um die unteren Zuleitungen 21 des Standard-BLP 20 und die unteren Zuleitungsabschnitte 112 am 3D-BLP 10 zu verschweißen. Dann wird ein zweiter BLP-Stapel durch Herstellschritte hergestellt, die den obigen Schritten (1)–(4) entsprechen, und so auf den ersten BLP-Stapel aufgesetzt, dass der 3D-BLP 10 im ersten BLP-Stapel und der 3D-BLP 10 im zweiten BLP-Stapel so miteinander in Kontakt gebracht sind, dass ihre jeweiligen unteren Zuleitungsabschnitte 111 einander zugewandt sind. Der erste und der zweite BLP-Stapel werden durch ein oberes Spannteil 103, das die Stapel positioniert hält, heruntergedrückt, und ein Laserstrahl wird auf die Grenze zwischen den unteren Zuleitungsabschnitten 111 der 3D-BLPs 10 im ersten und zweiten BLP-Stapel gerichtet, um die Zuleitungen 11 der 3D-BLPs 10 im ersten und zweiten BLP-Stapel zu verschweißen, um dadurch den BLP-Stapel 3 gemäß dem dritten Ausführungsbeispiel der Erfindung fertigzustellen. Der BLP-Stapel 3 gemäß dem dritten Ausführungsbeispiel der Erfindung kann mit der in Fig. 20 dargestellten Form auf ein Motherboard 200 montiert werden.

Fig. 21 ist eine Vorderansicht, die ein viertes Ausführungsbeispiel eines BLP-Stapels gemäß der Erfindung zeigt, Fig. 22 ist eine perspektivische Ansicht einer Löttaucheinrichtung, die bei der Herstellung des BLP-Stapels des vierten Ausführungsbeispiels anwendbar ist; und Fig. 23A–23H sind Vorderansichten zum Veranschaulichen von Schritten des Herstellprozesses für den BLP-Stapel gemäß dem vierten Ausführungsbeispiel.

Gemäß Fig. 21 umfasst der BLP-Stapel 4 des vierten Ausführungsbeispiels einen 3D-BLP 10 mit äußeren Spannungsanschlussleitungen 11, die an ihrem Anfang jeweils durch den Boden desselben ins Freie treten und sich gebogen so erstrecken, dass sie die Unterseite, eine Seitenfläche und einen Teil der Oberseite desselben umgeben, wobei ein Standard-BLP 20 so auf die unteren Zuleitungsabschnitte 111 am 3D-BLP 10 aufgesetzt ist, dass die unteren Zuleitungen 21 elektrisch in Kontakt mit den oberen Zuleitungsabschnitten 112 des 3D-BLP 10 gebracht sind, die an der Oberseite des Körpers desselben freiliegen, und wobei Abstandshalter 70 zwischen den 3D-BLP 10 und den Standard-BLP 20 eingesetzt sind, damit diese voneinander beabstandet sind. Die Abstandshalter 70 können aus Kleber bestehen, der sowohl am 3D-BLP 10 als auch am Standard-BLP 20 anhaftet. Die unteren Zuleitungsabschnitte 111 des 3D-BLP 10 sowie die unteren Zuleitungen 21 am Standard-BLP 20 sind so konzipiert, dass sie durch Eintauchen in Lot 71 miteinander verbunden werden.

Nun werden Schritte des Herstellprozesses für den BLP-Stapel 4 gemäß dem vierten Ausführungsbeispiel erläutert.

Der Herstellprozess für den BLP-Stapel 4 gemäß dem vierten Ausführungsbeispiel beginnt mit dem Bereitstellen eines Standard-BLP 20 und eines 3D-BLP 10 sowie einer Löttaucheinrichtung 8, wie sie in Fig. 22 dargestellt ist. Wie es in Fig. 23A dargestellt ist, werden Abstandshalter 70 punktförmig auf der Unterseite des Körpers des 3D-BLP 10 angebracht, wobei die oberen Zuleitungsabschnitte 112 des 3D-BLP 10 nach unten zeigen. Gemäß Fig. 23B wird der Standard-BLP 20 auf dem 3D-BLP 10 montiert, der die punktförmigen Abstandshalter 70 trägt. Gemäß Fig. 23C werden der Standard-BLP 20 und der 3D-BLP 10 gleichzeitig durch eine Spanneinrichtung 9 festgeklemt. Der Standard-BLP 20 und der 3D-BLP 10 werden im geklemmten Zustand durch die Spanneinrichtung 9 über die Löttaucheinrichtung 8 gebracht, damit die Vorderenden sowohl der unteren Zuleitungsabschnitte 111 an einer Seite des 3D-BLP 10 als auch die unteren Zuleitungen 21 an einer Seite des Standard-BLP 20 in Lot 71 getaucht werden, das über eine Lotzuführspitze 81 in die Löttaucheinrichtung 8 gegeben

wird, wie es in Fig. 23D dargestellt ist, um die unteren Zuleitungsabschnitte 111 an einer Seite des 3D-BLP 10 und die gegenüberstehenden unteren Zuleitungen 21 an einer Seite des Standard-BLP 20 zu verlöten und elektrisch zu verbinden. Der durch die Abstandshalter 70 geschaffene Abstand zwischen dem Standard-BLP 20 und dem 3D-BLP 10 sorgt für einfache Strömung von Lot in den Zwischenraum, was die Verbindungszuverlässigkeit zwischen den Bausteinen verbessert. Überschüssiges Lot 71, wie es über die Lotzuführspitze 81 im Zentrum der Löttaucheinrichtung 8 eingespült wird, wird nach dem Gebrauch beim Lötvorgang für erneute Umwälzung in einen Vorratsbehälter rückgeführt. Bei Abschluss des Löttauchvorgangs hinsichtlich der Zuleitungen 11 an einer Seite des Bausteinestapels wird die Spanneinrichtung 9 gedreht, während bei der Verstellung, um die entgegengesetzten Zuleitungen in die Tauchposition zu bringen, eine Schwingung angeregt wird, wie in Fig. 23F dargestellt, um die Menge des an den Zuleitungen 11 des Bausteinestapels anhaftenden Lots konstant zu halten und für eine große Ausbreitung des Lots im Zwischenraum zwischen den Bausteinen zu sorgen, wofür eine Schwingungsvorrichtung mit einem Schwingungsmotor (nicht dargestellt) vorhanden ist. Wenn die Spanneinrichtung 9 die Schwingung und eine Drehung um 180° beendet hat, werden die Vorderenden sowohl der unteren Zuleitungsabschnitte 111 an der anderen Seite des 3D-BLP 10 als auch der unteren Zuleitungen 21 an der anderen Seite des Standard-BLP 20 in das Lot 21 getaucht, das durch die Lotzuführspitze 81 in der Löttaucheinrichtung 8 ausgegeben wird, wie es in Fig. 23G dargestellt ist, um die unteren Zuleitungsabschnitte 111 an der anderen Seite des 3D-BLP 10 und die gegenüberstehenden unteren Zuleitungen 21 an der anderen Seite des Standard-BLP 20 zu verlöten und elektrisch zu verbinden. Der so fertiggestellte 3D-BLP-Stapel 4 (in Fig. 23H dargestellt) verfügt über vergrößerte Speicherkapazität und kann in der in Fig. 24 dargestellten Form an einem Motherboard 200 montiert werden.

Der erläuterte erfindungsgemäße BLP-Stapel kann bei kürzesten Signalpfaden, was schnelle Funktion ermöglicht, hohe Dichte aufweisen. Der Herstellprozess für diesen BLP-Stapel ist einfach, schnell und zuverlässig. Demgemäß kann der Bausteinestapel mit geringen Kosten innerhalb kurzer Zeit bei verringertem TAT-Effekt und verbesserter Produktivität hergestellt werden.

Patentansprüche

1. BLP-Stapel (1, 2, 3) integrierter Schaltungen ultrahoher Dichte, **gekennzeichnet durch:**
 - einen ersten Baustein (10) mit äußeren Spannungsanschlussleitungen (11), die an ihrem Anfang jeweils durch den Boden desselben ins Freie treten und sich über eine Seitenfläche zur Oberseite erstrecken, mit unteren Zuleitungsabschnitten (111) an der Unterseite, seitlichen Zuleitungsabschnitten (113) an der Seitenfläche und oberen Zuleitungsabschnitten (112) an der Oberseite; und
 - einen zweiten Baustein (20) mit äußeren Spannungsanschlussleitungen (21), die an ihrem Anfang durch den Boden desselben ins Freie treten und mit den äußeren Spannungsanschlussleitungen des ersten Bausteins in Kontakt gebracht sind, um mit diesen elektrisch verbunden zu sein.
2. BLP-Stapel nach Anspruch 1, dadurch gekennzeichnet, dass die äußeren Spannungsanschlussleitungen (21) am zweiten Baustein (20) wahlweise entweder mit den oberen Zuleitungsabschnitten (112) oder den unteren Zuleitungsabschnitten (111) des ersten Bau-

steins (10) verbunden sind.

3. BLP-Stapel nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die äußeren Spannungsanschlussleitungen (21) am zweiten Baustein (20), die an ihrem Anfang durch dessen Boden ins Freie treten, sich ähnlich wie die äußeren Spannungsanschlussleitungen (11) am ersten Baustein (10) über eine Seitenfläche des Körpers zur Oberseite erstrecken.
4. BLP-Stapel nach Anspruch 3, dadurch gekennzeichnet, dass die oberen Zuleitungsabschnitte des zweiten Bausteins (20) in Kontakt mit den oberen Zuleitungsabschnitten (112) des ersten Bausteins (10) gebracht sind, um elektrisch mit diesen verbunden zu sein.
5. BLP-Stapel nach Anspruch 3, dadurch gekennzeichnet, dass die oberen Zuleitungsabschnitte des zweiten Bausteins (20) in Kontakt mit den unteren Zuleitungsabschnitten (111) des ersten Bausteins (10) gebracht sind, um mit diesen elektrisch verbunden zu sein.
6. BLP-Stapel nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass sich zwischen den Körpern des ersten Bausteins (10) und des zweiten Bausteins (20) Abstandshalter (70) befinden, um die Körper voneinander zu beabstanden.
7. BLP-Stapel nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass ein dritter und ein vierter Baustein auf den ersten Baustein gestapelt sind, wobei der dritte Baustein über äußere Spannungsanschlussleitungen verfügt, die an ihrem Anfang durch den Boden desselben ins Freie treten und sich über eine Seitenfläche des Körpers zur Oberseite erstrecken, und der vierte Baustein über äußere Spannungsanschlussleitungen verfügt, die sich an ihrem Anfang durch den Boden desselben ins Freie erstrecken und mit den äußeren Spannungsanschlussleitungen am dritten Baustein in Kontakt gebracht sind, um mit diesen elektrisch verbunden zu sein.
8. BLP-Stapel nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass die äußeren Spannungsanschlussleitungen (11, 21) am ersten und zweiten Baustein (10, 20) durch Lot oder einen leitenden Film elektrisch miteinander verbunden sind.
9. BLP-Stapel nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die äußeren Spannungsanschlussleitungen (11, 21) am ersten und zweiten Baustein (10, 20) durch einen Laserstrahl verschweißt wurden, um elektrisch miteinander verbunden zu sein.
10. Verfahren zum Herstellen eines BLP-Stapels integrierter Schaltungen ultrahoher Dichte, gekennzeichnet durch die folgenden Schritte:
 - (1) Positionieren eines zweiten Bausteins (20) mit äußeren Spannungsanschlussleitungen (21), die an ihrem Anfang durch die Bodenfläche des Körpers ins Freie treten, in einer Tasche eines unteren Stapelspannteils in solcher Weise, dass die Zuleitungen nach oben zeigen;
 - (2) Anziehen dieses zweiten Bausteins in der Tasche im unteren Stapelspannteil durch Unterdruck;
 - (3) Positionieren eines ersten Bausteins (20) auf der Oberseite des zweiten Bausteins in solcher Weise, dass äußere Spannungsanschlussleitungen (11) am ersten Baustein und untere Zuleitungsabschnitte am zweiten Baustein in Kontakt miteinander gebracht sind, wobei die äußeren Spannungsanschlussleitungen untere Zuleitungsabschnitte, die an ihrem Anfang durch die Unterseite

des Körpers ins Freie treten; seitliche Zuleitungsabschnitte an der Seitenfläche des Körpers, die sich ausgehend von den unteren Zuleitungsabschnitten erstrecken, und obere Zuleitungsabschnitte an der Oberseite des Körpers aufweisen, die sich ausgehend von den seitlichen Zuleitungsabschnitten erstrecken;

(4) Herunterdrücken des ersten Bausteins mit einem oberen Spannteil zum Festklemmen des ersten Bausteins und des zweiten Bausteins; und

(5) Lenken eines Laserstrahls auf die Grenze zwischen den unteren Zuleitungsabschnitten am ersten Baustein und den äußeren Spannungsanschlussleitungen am zweiten Baustein in Kontakt mit den unteren Zuleitungsabschnitten am ersten Baustein, um die äußeren Spannungsanschlussleitungen am zweiten Baustein und die Zuleitungen am ersten Baustein zu verschweißen.

11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass statt des zweiten Bausteins der erste Baustein in der Tasche im unteren Stapelspannteil positioniert wird und ein weiterer erster Baustein so auf die Oberseite des ersten Bausteins aufgesetzt wird, dass die äußeren Spannungsanschlussleitungen der zwei ersten Bausteine in Kontakt gebracht sind, um diese zwei ersten Bausteine aufzustapeln.

12. Verfahren nach Anspruch 10, gekennzeichnet durch die folgenden Schritte:

- punktweises Auftragen von Abstandshaltern auf die Unterseite des ersten Bausteins, wobei die unteren Zuleitungsabschnitte des ersten Bausteins nach oben zeigen;
- Montieren des zweiten Bausteins auf dem ersten Baustein mit den punktförmig aufgetragenen Abstandshaltern;
- Festklemmen des ersten und zweiten Bausteins durch eine Spanneinrichtung;
- Erstellen des festgeklebten ersten und zweiten Bausteins über eine Löttaucheinrichtung durch Verstellen der Spanneinrichtung in solcher Weise, dass die Vorderenden sowohl der unteren Zuleitungsabschnitte an einer Seite des ersten Bausteins und die äußeren Spannungsanschlussleitungen auf einer Seite des zweiten Bausteins in das Lot getaucht werden, das über eine Lotzuführspitze in der Löttaucheinrichtung ausgegeben wird, um die unteren Zuleitungsabschnitte auf einer Seite des ersten Gehäusebausteins und die gegenüberstehenden äußeren Spannungsanschlussleitungen auf einer Seite des zweiten Bausteins zu verlöten und elektrisch zu verbinden; und
- Umdrehen der Spanneinrichtung, während sie bei der Bewegung in Schwingung versetzt wird, die dazu dient, die Vorderenden sowohl der unteren Zuleitungsabschnitte auf der anderen Seite des geklebten ersten Bausteins als auch die äußeren Spannungsanschlussleitungen auf der anderen Seite des zweiten Bausteins zum Eintauchen in das Lot zu bringen, das durch die Lotzuführspitze in der Löttaucheinrichtung ausgegeben wird, um die unteren Zuleitungsabschnitte an der anderen Seite des ersten Bausteins und die gegenüberstehenden Spannungsanschlussleitungen auf der anderen Seite des zweiten Bausteins zu verlöten und elektrisch miteinander zu verbinden.

FIG.1A
STAND DER TECHNIK

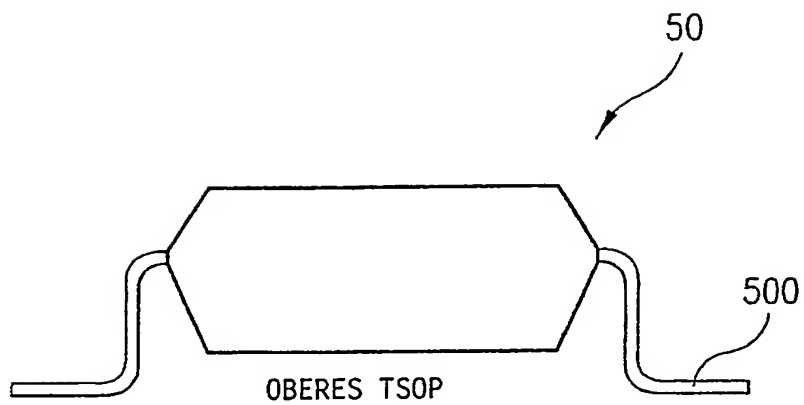


FIG.1B
STAND DER TECHNIK

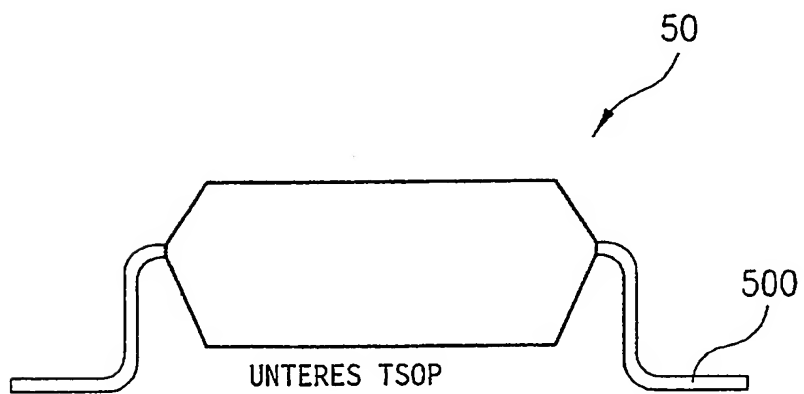


FIG.2A

STAND DER TECHNIK

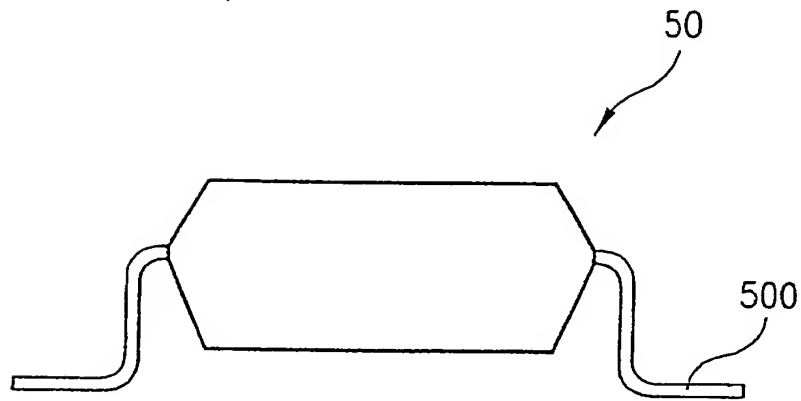


FIG.2B

STAND DER TECHNIK

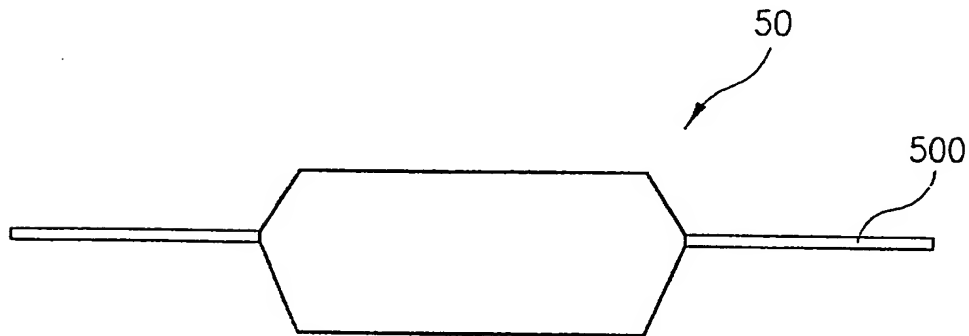


FIG.2C

STAND DER TECHNIK

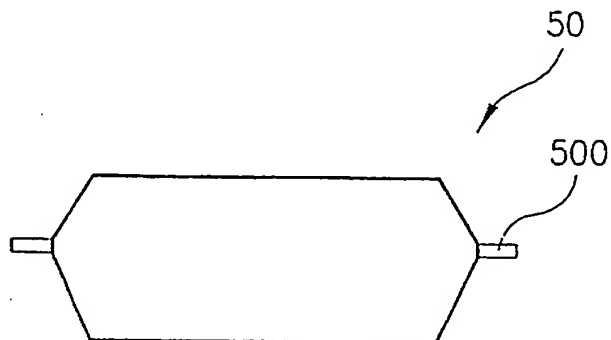


FIG.3A
STAND DER TECHNIK

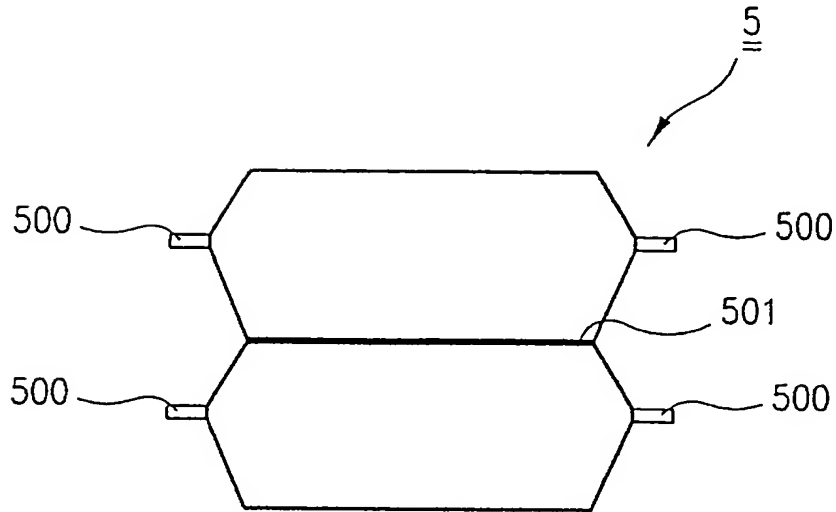


FIG.3B
STAND DER TECHNIK

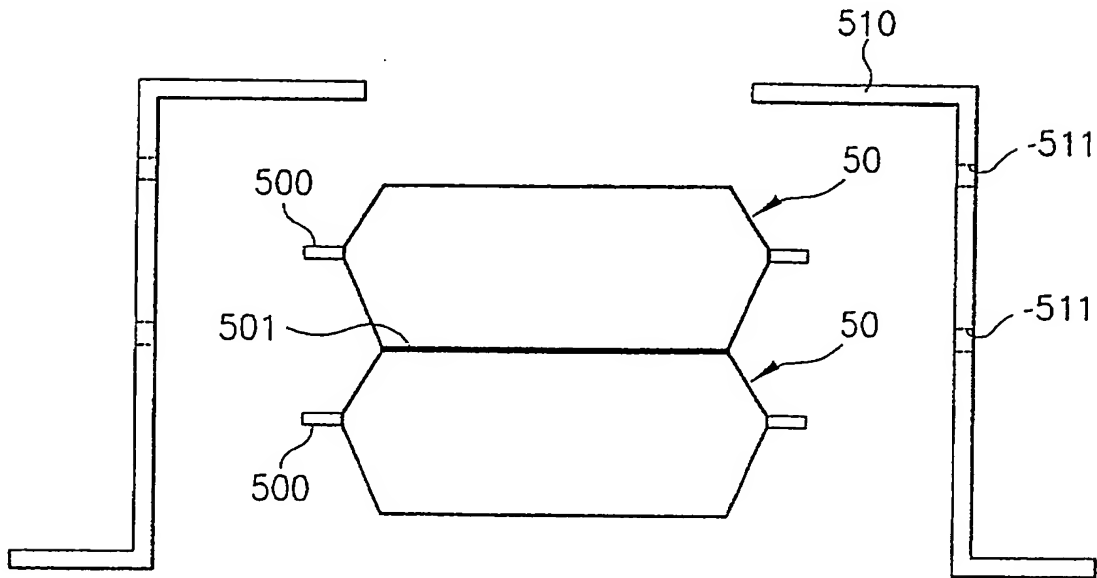


FIG.3C
STAND DER TECHNIK

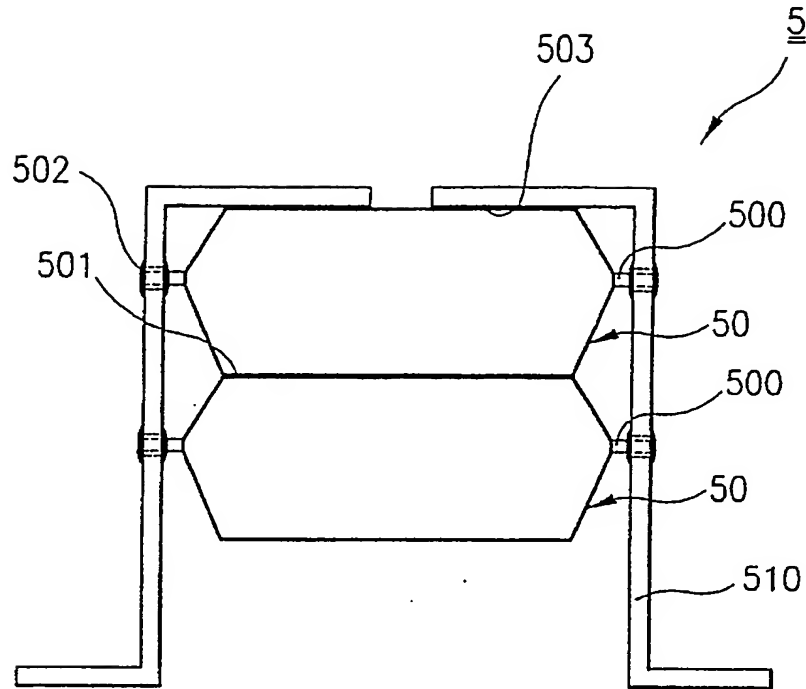


FIG.4A
STAND DER TECHNIK

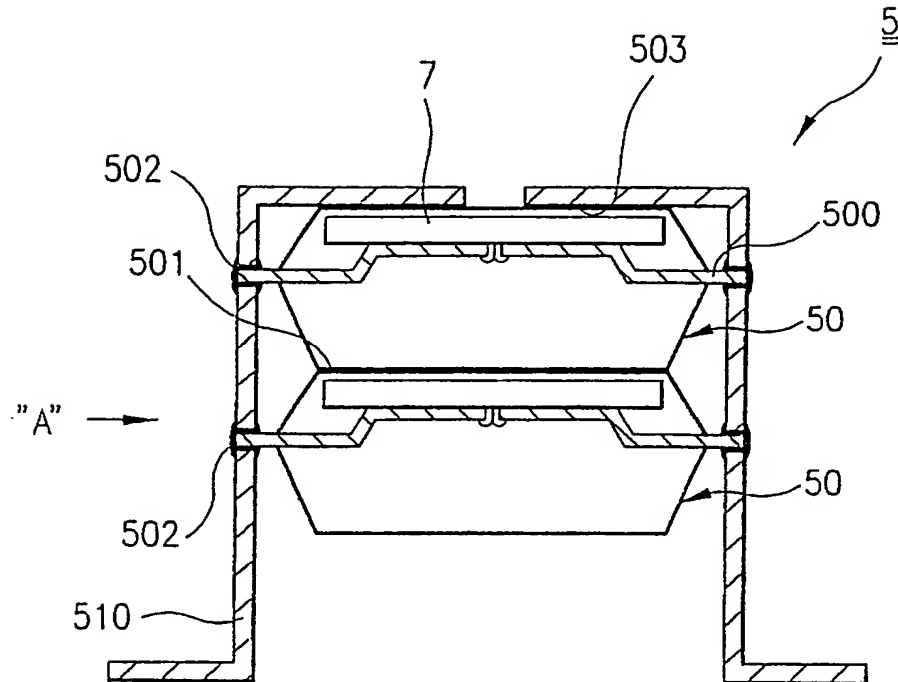


FIG.4B
STAND DER TECHNIK

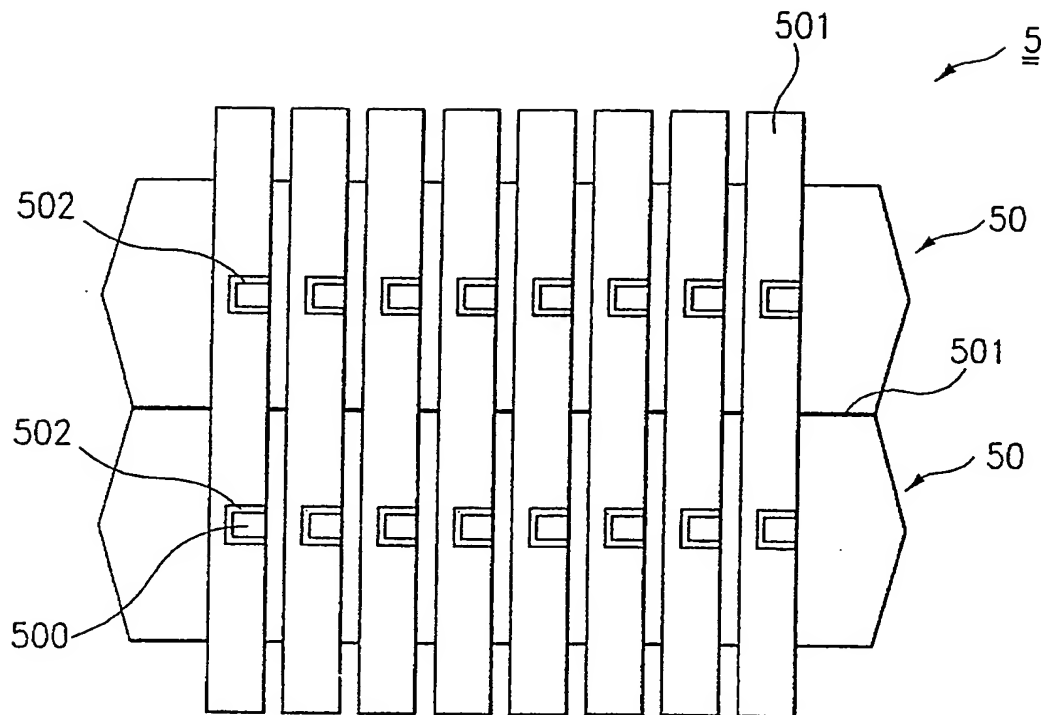


FIG.5

STAND DER TECHNIK

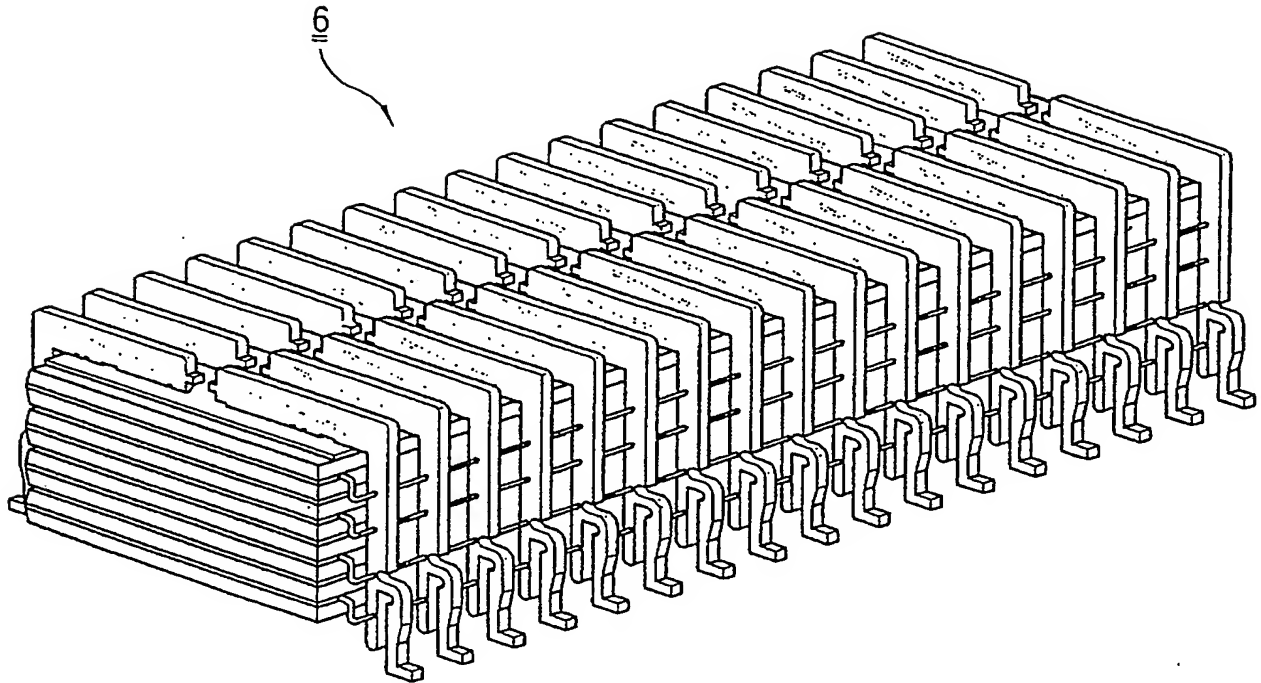


FIG.6A

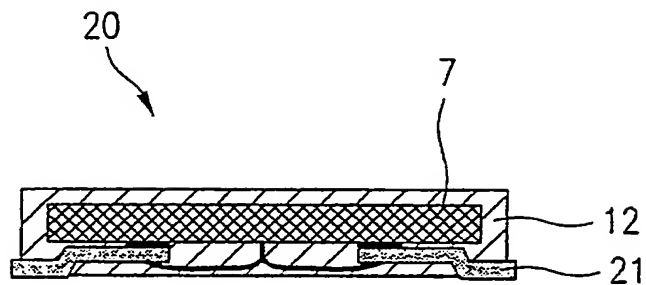


FIG.6B

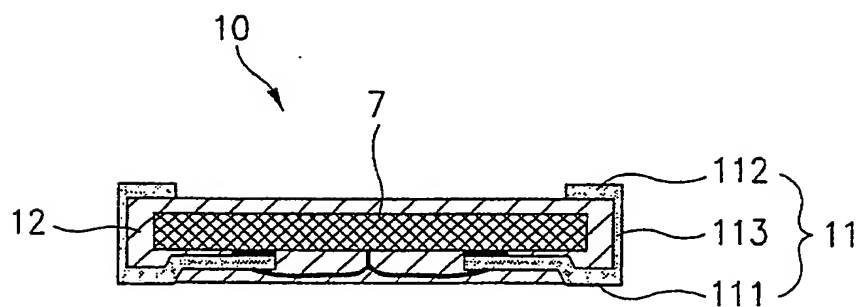


FIG.7

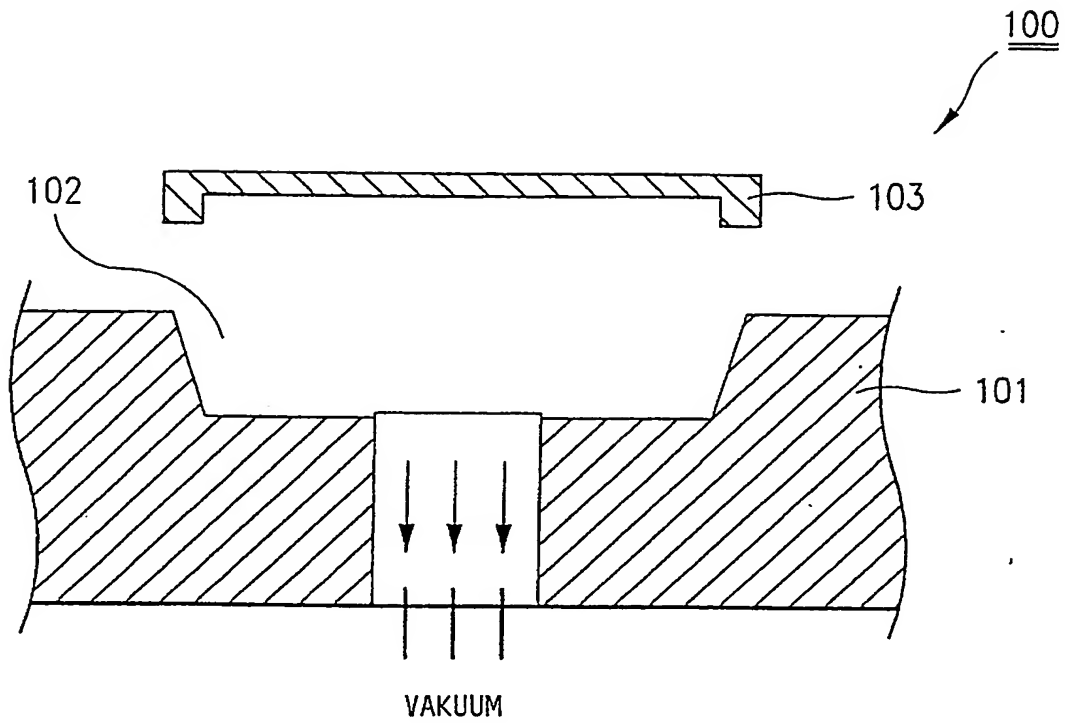


FIG.8

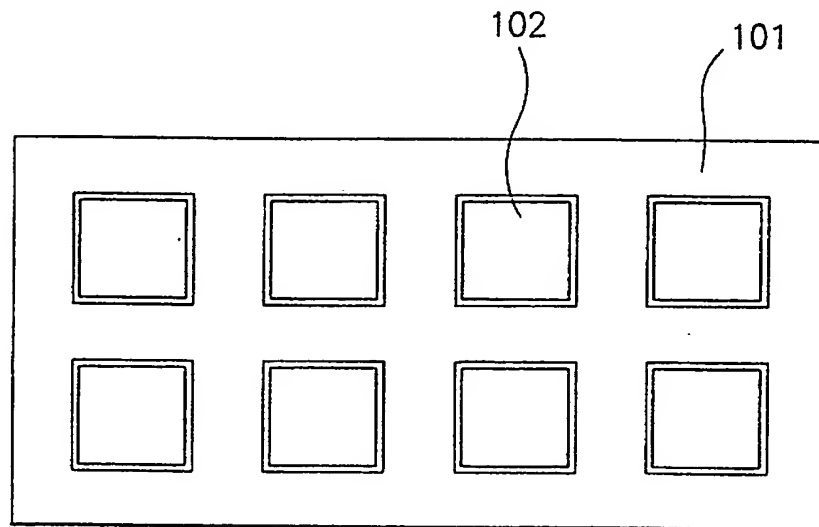


FIG.9

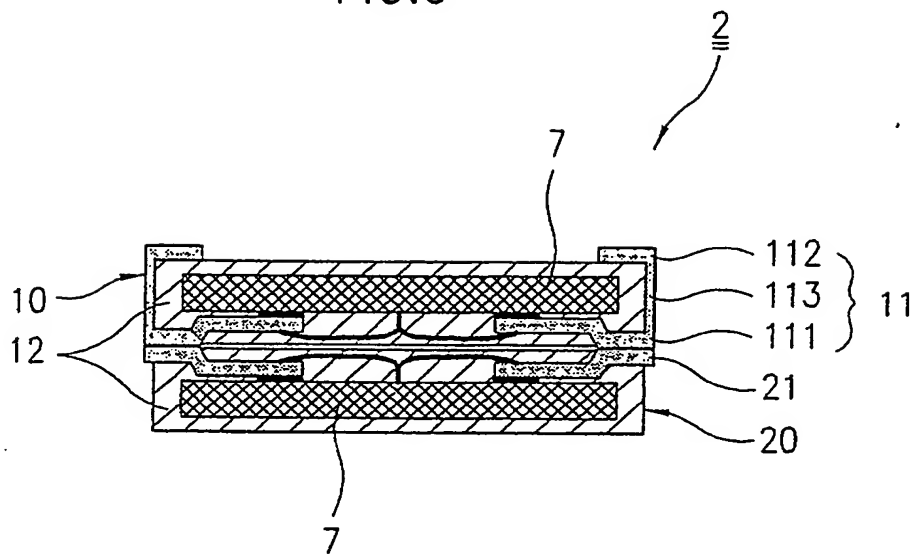


FIG.10

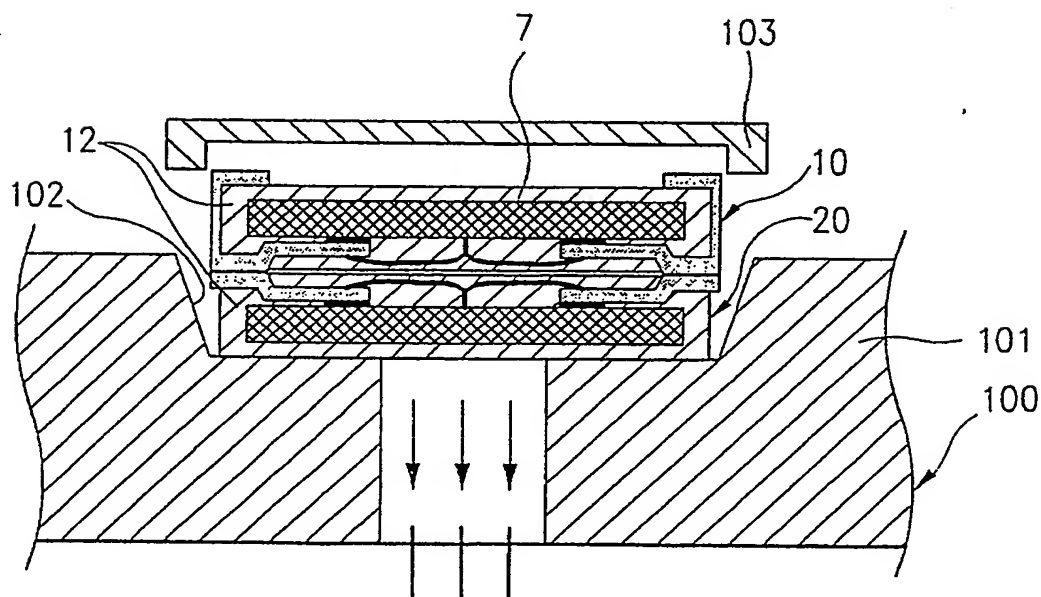


FIG.13

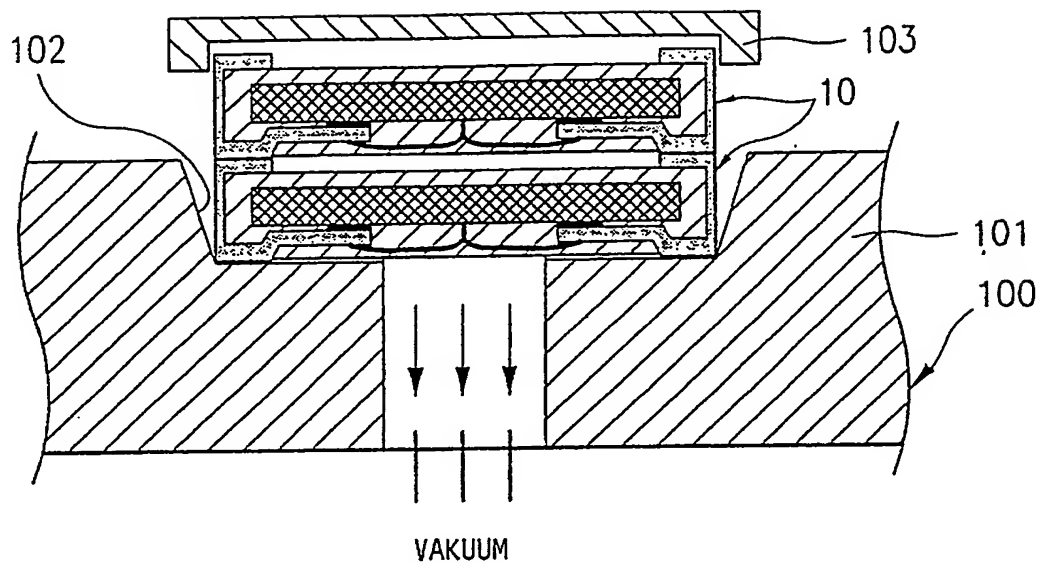


FIG.14

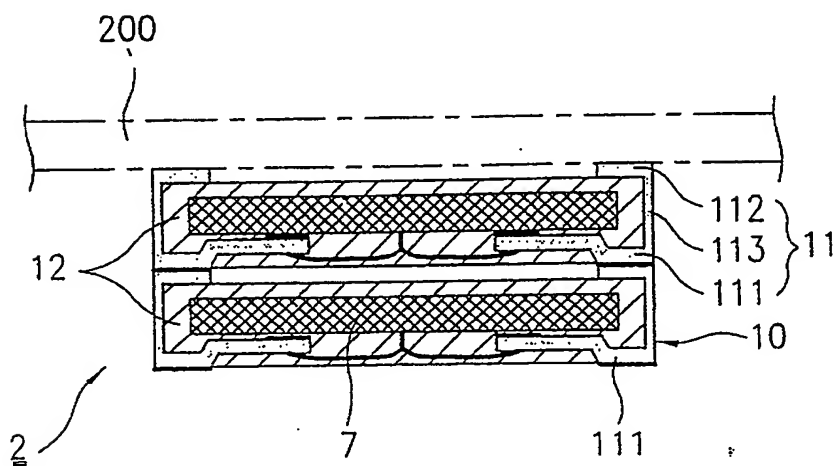


FIG.15

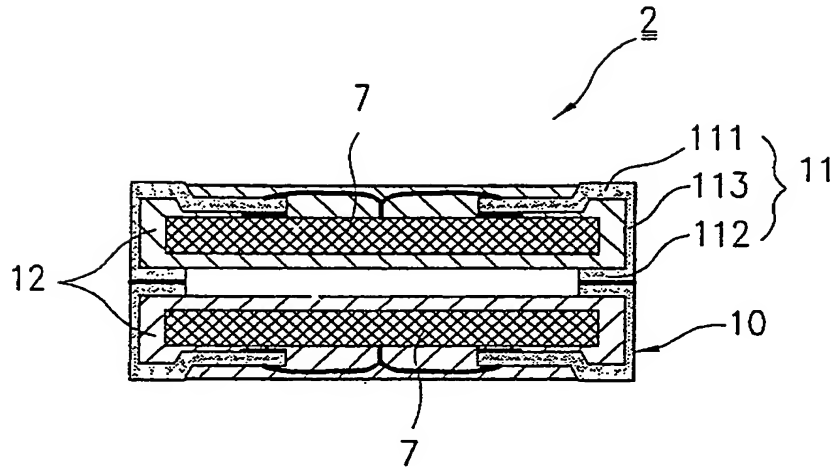


FIG.16B

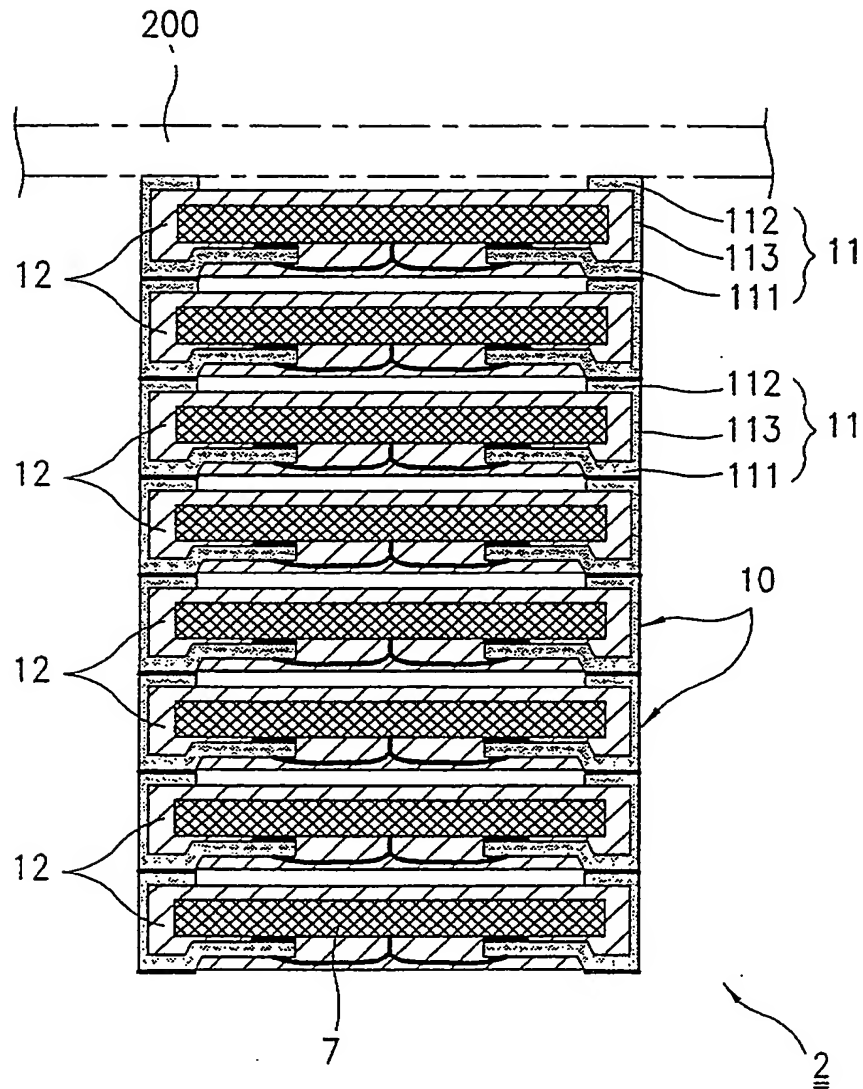


FIG.16C

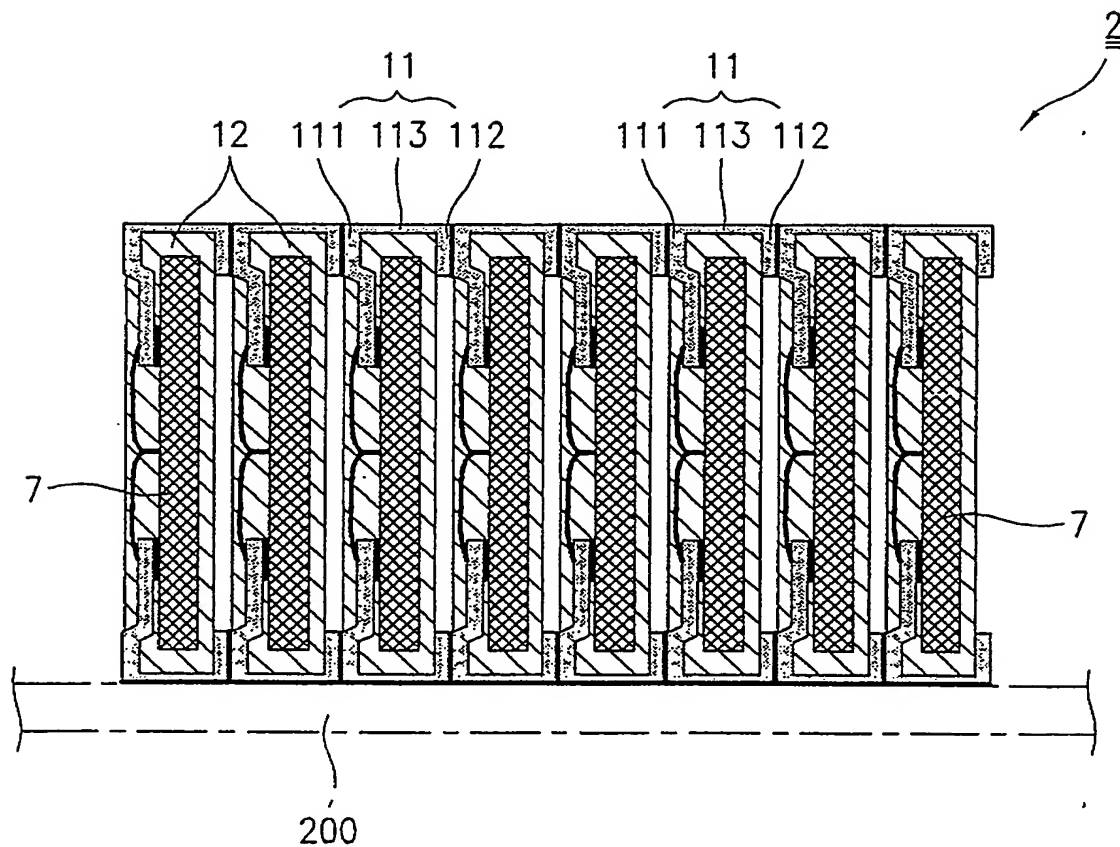


FIG.17

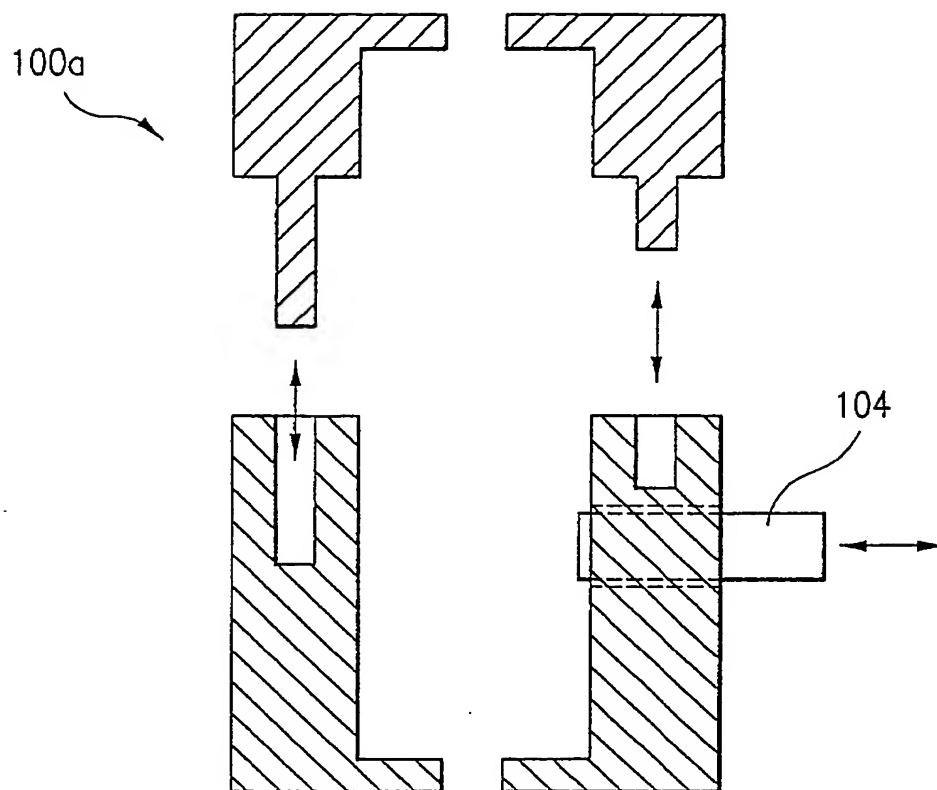


FIG.18

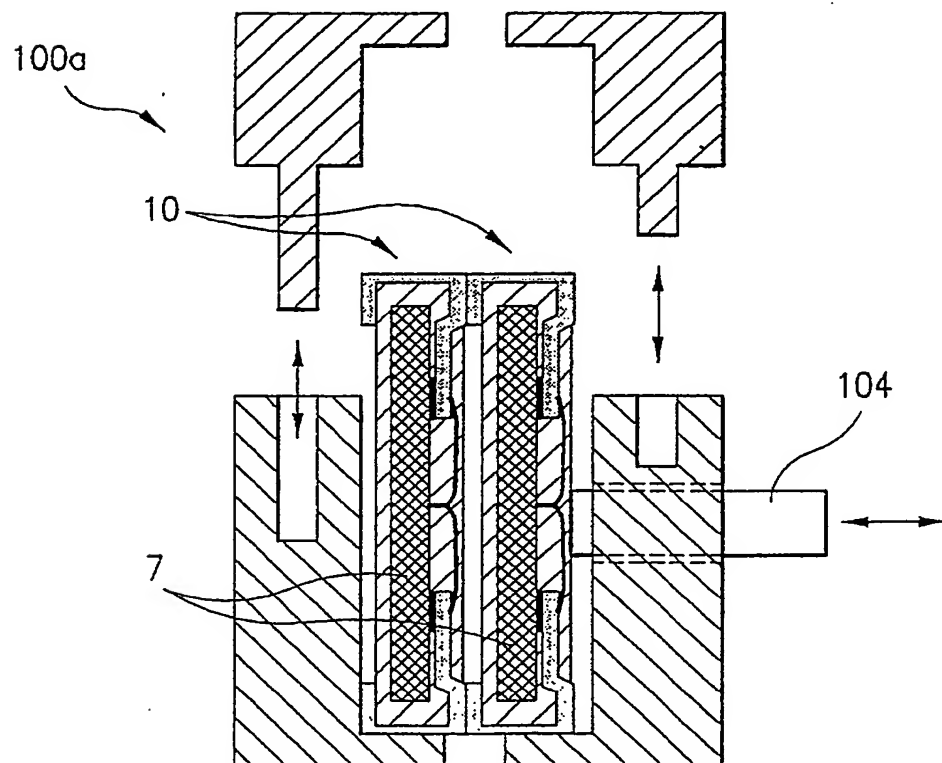


FIG.19

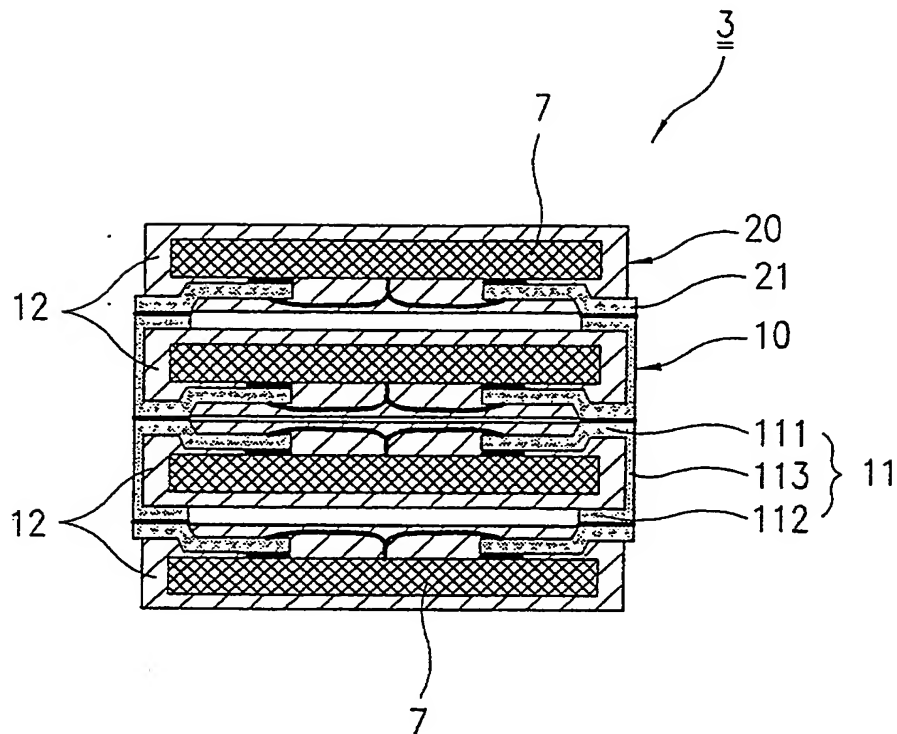


FIG.20

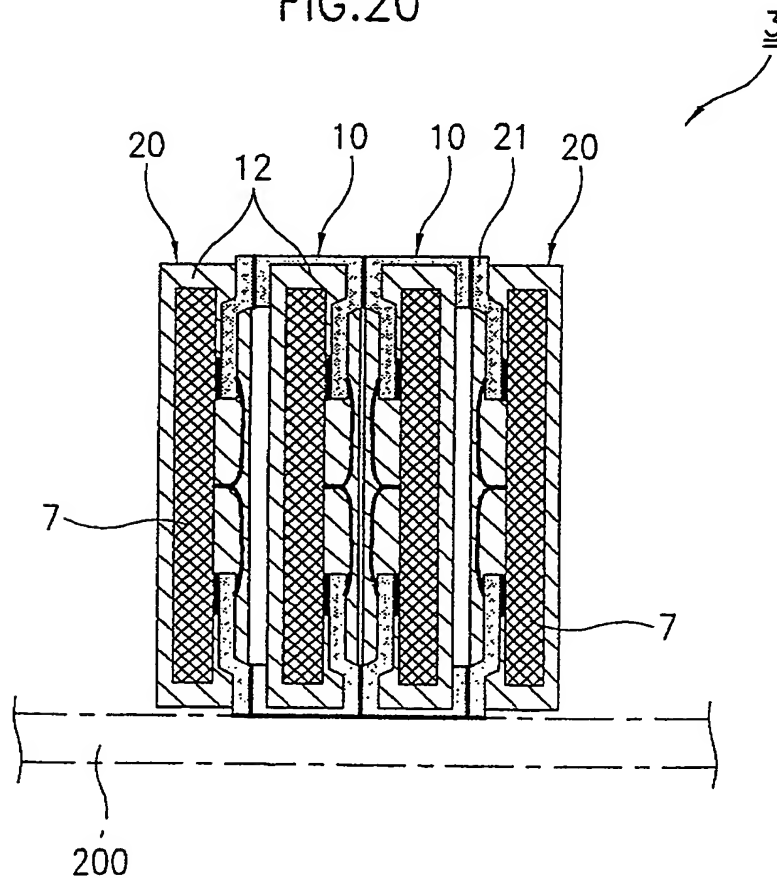


FIG.21

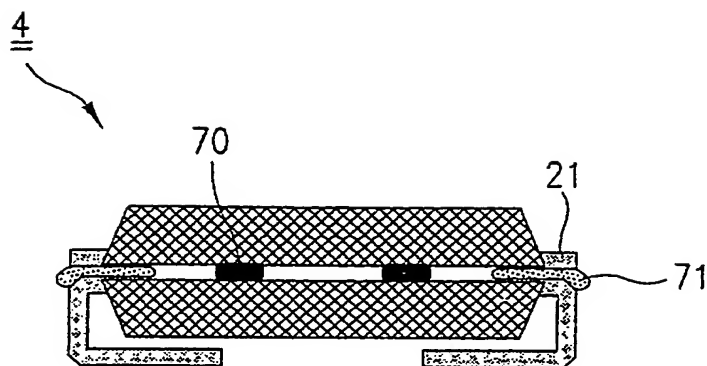


FIG.22

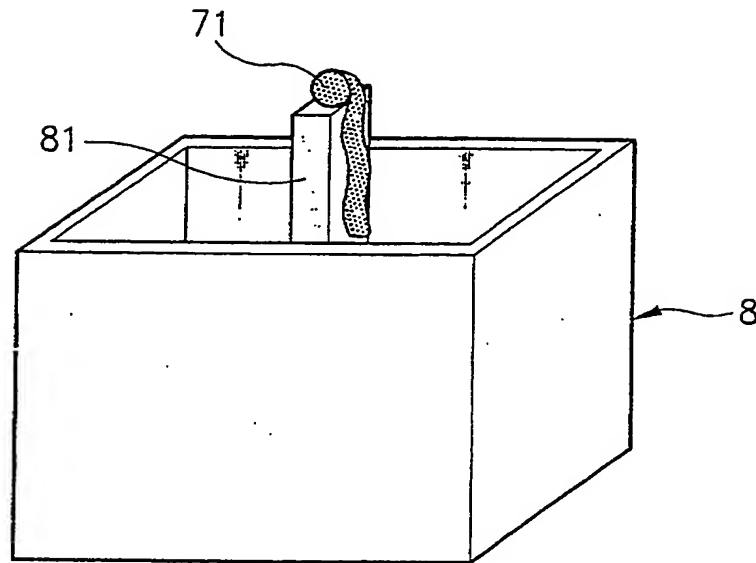


FIG.23A

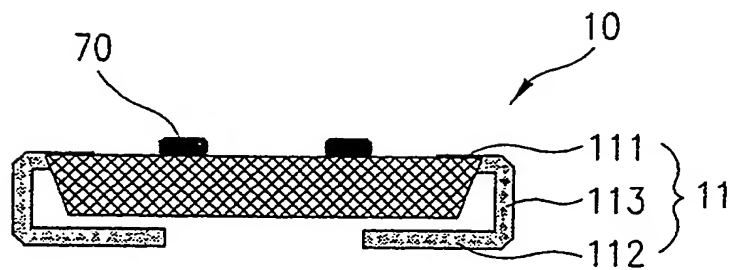


FIG.23B

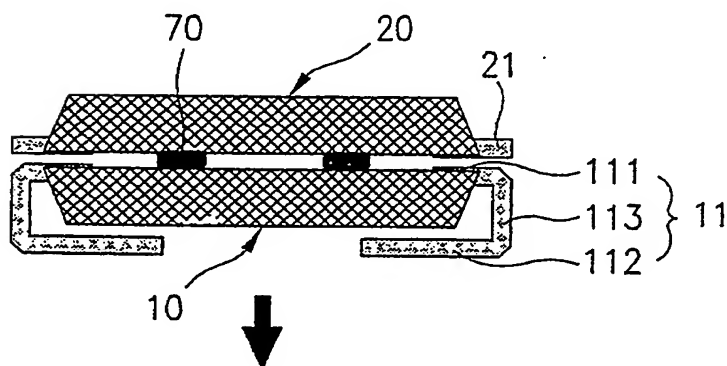


FIG.23C

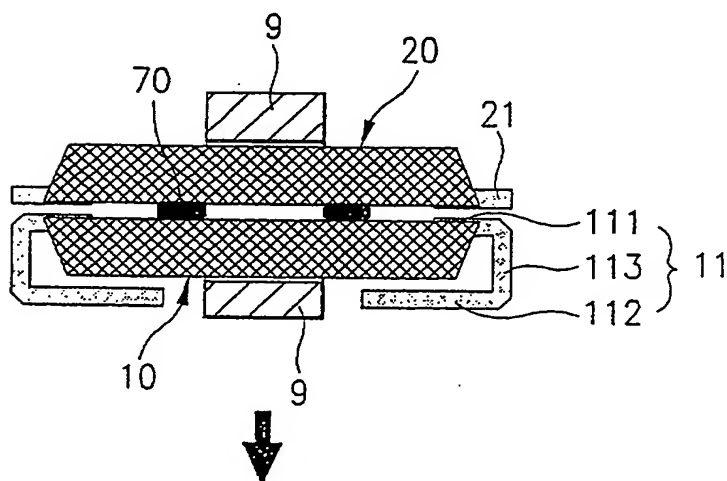


FIG.23D

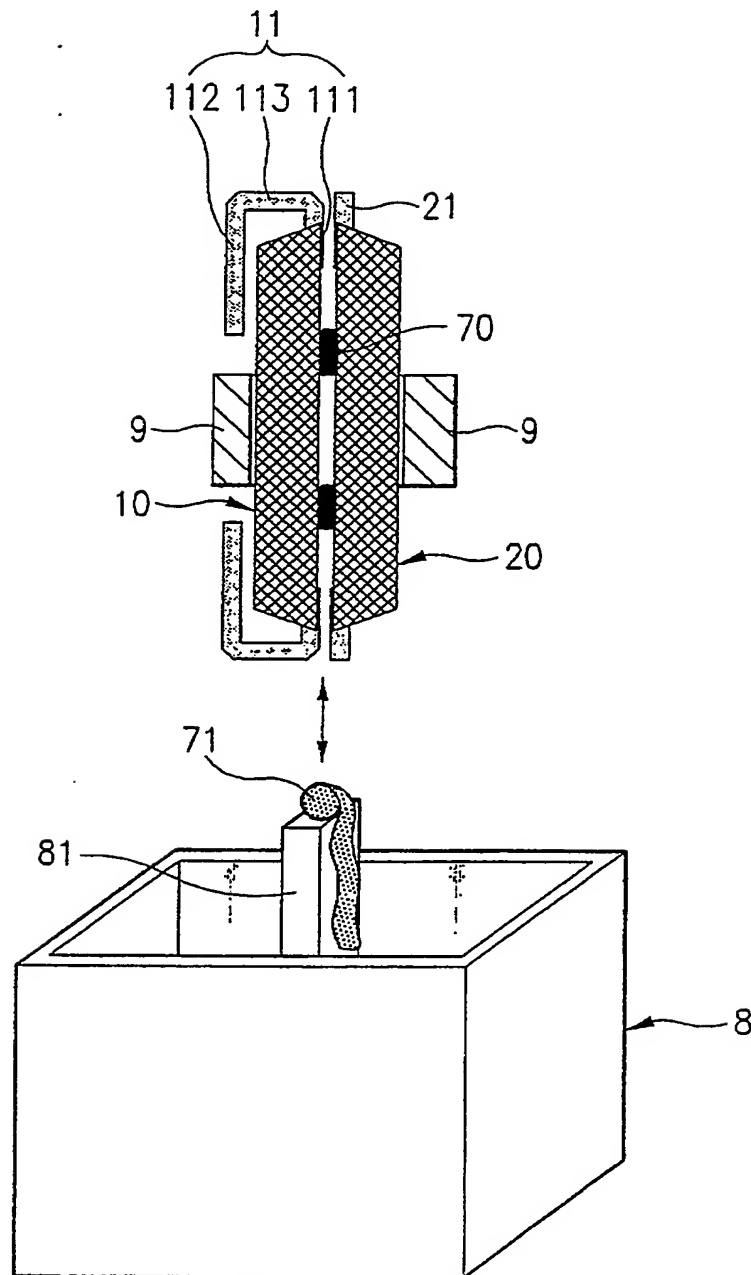


FIG.23E

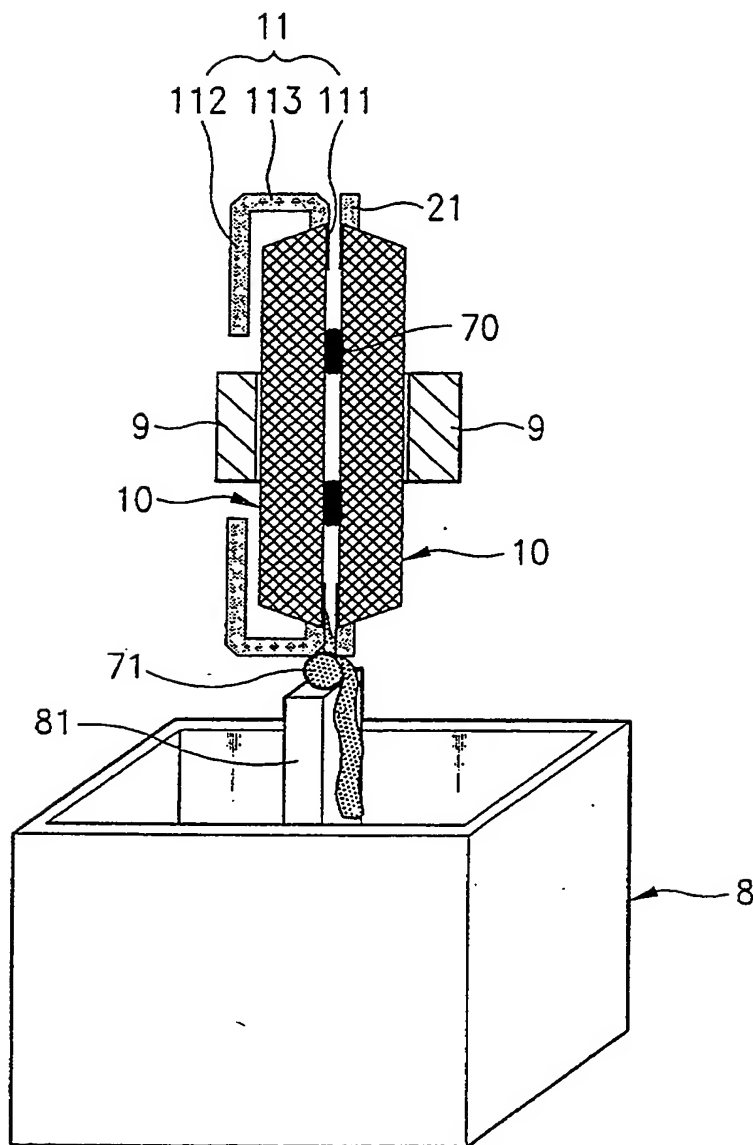


FIG.23F

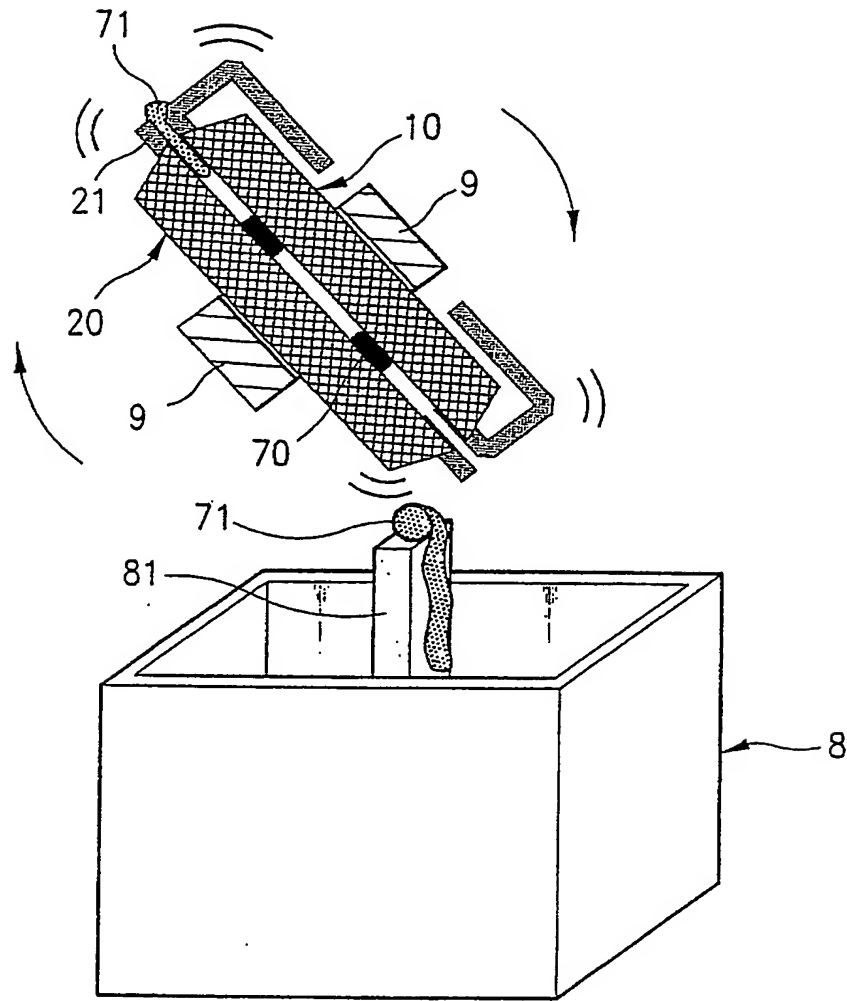


FIG.23G

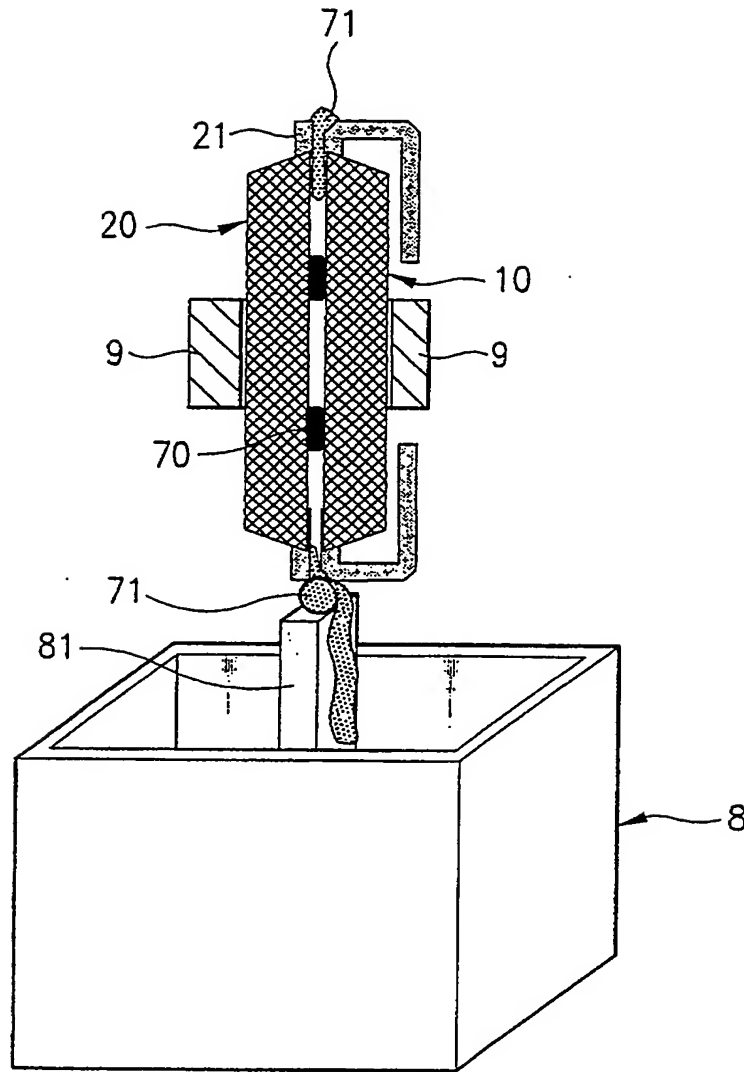


FIG.23H

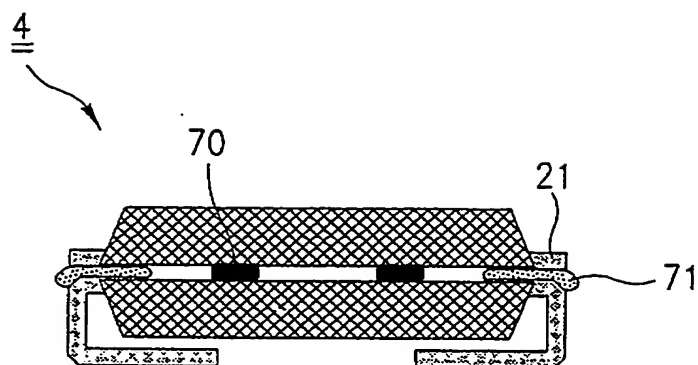
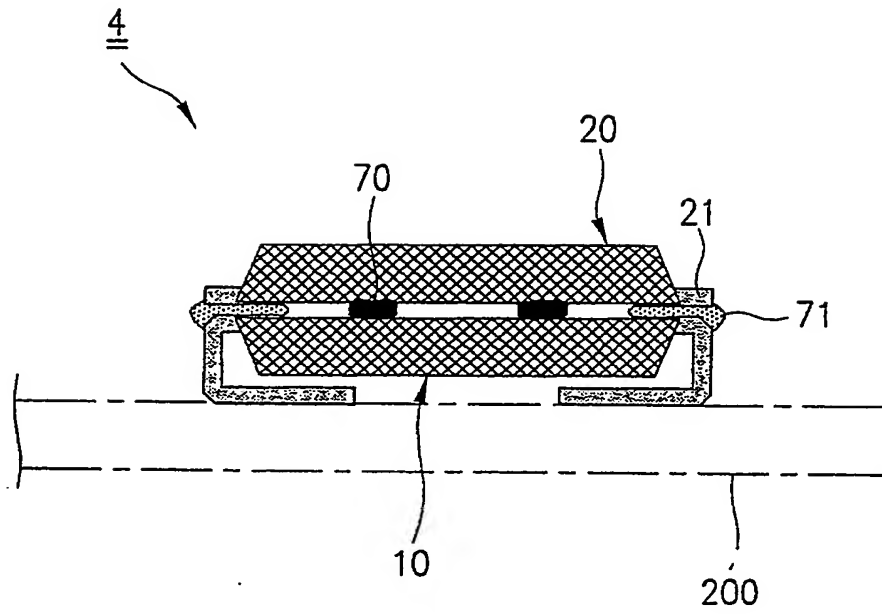


FIG.24



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.